

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Suguru AKIYAMA, et al.**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **July 17, 2003**

For: **OPTICAL SEMICONDUCTOR DEVICE**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: July 17, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Apnl. No. 2002-209761, filed July 18, 2002**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



Donald W. Hanson  
Attorney for Applicants  
Reg. No. 27,133

DWH/jaz  
Atty. Docket No. **030826**  
Suite 1000  
1725 K Street, N.W.  
Washington, D.C. 20006  
(202) 659-2930



**23850**

PATENT TRADEMARK OFFICE

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application:

2002年 7月18日

出願番号

Application Number:

特願2002-209761

[ST.10/C]:

[JP2002-209761]

出願人

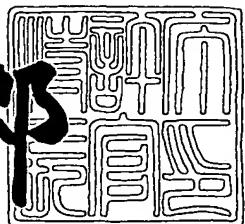
Applicant(s):

富士通株式会社

2003年 3月 4日

特許庁長官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3012092

**【書類名】** 特許願  
**【整理番号】** 0141441  
**【提出日】** 平成14年 7月18日  
**【あて先】** 特許庁長官殿  
**【国際特許分類】** G02F 1/015  
                          G02F 1/025  
**【発明の名称】** 光半導体装置  
**【請求項の数】** 10  
**【発明者】**  
**【住所又は居所】** 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
                          株式会社内  
**【氏名】** 秋山 優  
**【発明者】**  
**【住所又は居所】** 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
                          株式会社内  
**【氏名】** 雙田 晴久  
**【発明者】**  
**【住所又は居所】** 神奈川県川崎市中原区上小田中4丁目1番1号 富士通  
                          株式会社内  
**【氏名】** 関口 茂昭  
**【特許出願人】**  
**【識別番号】** 000005223  
**【氏名又は名称】** 富士通株式会社  
**【代理人】**  
**【識別番号】** 100091672  
**【弁理士】**  
**【氏名又は名称】** 岡本 啓三  
**【電話番号】** 03-3663-2663

【手数料の表示】

【予納台帳番号】 013701

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704683

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光半導体装置

【特許請求の範囲】

【請求項1】 半導体基板の上に形成された第1導電型半導体よりなるバイアス層と、

前記バイアス層の上に形成され且つ第1の上側クラッド層と第1導電型半導体よりなる第1の下側クラッド層との間に挟まれたストライプ状の第1のコア層を有する第1の光導波路と、

前記第1の上側クラッド層から分離された第2の上側クラッド層と第1導電型半導体よりなる第2の下側クラッド層との間に挟まれて前記バイアス層の上に形成され、且つ前記第1のコア層とは分離されて形成されたストライプ状の第2のコア層を有する第2の光導波路と、

前記第1の光導波路の前記第1の上側クラッド層の上に形成された第1の位相変調電極と、

前記第2の光導波路の前記第2の上側クラッド層の上に形成された第2の位相変調電極と、

前記第1の光導波路の側方に形成されて前記第1の位相変調電極に第1のエアブリッジ配線を介して接続される第1のスロットライン電極と、

前記第2の光導波路の側方に形成されて前記第2の位相変調電極に第2のエアブリッジ配線を介して接続される第2のスロットライン電極と、

前記半導体基板の上に形成されて前記第1の光導波路と前記第2の光導波路のそれぞれの一端に接続される第1の光カプラと、

前記半導体基板の上に形成されて前記第1の光導波路と前記第2の光導波路のそれぞれの他端に接続される第2の光カプラと  
を有することを特徴とする光半導体装置。

【請求項2】 半導体基板の上に形成された第1導電型半導体よりなるバイアス層と、

前記バイアス層の上に形成され且つ第1の上側クラッド層と第1導電型半導体よりなる第1の下側クラッド層との間に挟まれて光導波路の伝搬基本モードの電

界分布のビーム径の幅を有するストライプ状の第1のコア層を有する第1の光導波路と、

前記第1の上側クラッド層から分離された第2の上側クラッド層と第1導電型半導体よりなる第2の下側クラッド層との間に挟まれて前記バイアス層の上に形成され、且つ光導波路の伝搬基本モードの電界分布のビーム径の幅を有するストライプ状の第2のコア層を有する第2の光導波路と、

前記第1の光導波路の前記第1の上側クラッド層の上に形成された第1の位相変調電極と、

前記第2の光導波路の前記第2の上側クラッド層の上に形成された第2の位相変調電極と、

前記第1の光導波路の側方に形成されて前記第1の位相変調電極に第1のエアブリッジ配線を介して接続される第1のスロットライン電極と、

前記第2の光導波路の側方に形成されて前記第2の位相変調電極に第2のエアブリッジ配線を介して接続される第2のスロットライン電極と、

前記半導体基板の上に形成されて前記第1の光導波路と前記第2の光導波路のそれぞれの一端に接続される第1の光カプラと、

前記半導体基板の上に形成されて前記第1の光導波路と前記第2の光導波路のそれぞれの他端に接続される第2の光カプラと  
を有することを特徴とする光半導体装置。

【請求項3】前記第1の上側クラッド層と前記第1の下側クラッド層のうち前記第1のコア層と接するそれぞれの面は、前記第1のコア層と実質的に同じ幅を有し、

前記第2の上側クラッド層と前記第2の下側クラッド層のうち前記第2のコア層と接するそれぞれの面は、前記第2のコア層と実質的に同じ幅を有することを特徴とする請求項1又は請求項2に記載の光半導体装置。

【請求項4】前記第1のコア層の両側に接して形成され且つ前記第1の位相変調電極に上面が接するとともに、前記第2のコア層の両側に接して形成され且つ前記第2の位相変調電極に上面が接する高抵抗半導体層をさらに有することを特徴とする請求項1乃至請求項3のいずれかに記載の光半導体装置。

【請求項5】前記第1の位相変調電極と前記第2の位相変調電極は、それぞれ光進行方向に間隔をおいて複数形成されていることを特徴とする請求項1乃至請求項4のいずれかに記載の光半導体装置。

【請求項6】前記第1の上側のクラッド層は、前記第1の位相変調電極の下では第2導電型半導体から構成され且つ前記第1の位相変調電極の下以外の領域において高抵抗半導体層から構成され、

前記第2の上側のクラッド層は、前記第2の位相変調電極の下では第2導電型半導体から構成され且つ前記第2の位相変調電極の下以外の領域において高抵抗半導体層から構成されている

ことを特徴とする請求項5に記載の光半導体装置。

【請求項7】前記第1の光カプラにおいて前記第1及び第2のコア層とは前記第1の光カプラを挟んで反対側に第3の光導波路のコア層が形成され、

前記第2の光カプラにおいて前記第1及び第2のコア層とは前記第2の光カプラを挟んで反対側に第4の光導波路のコア層が形成され、

さらに、前記第3の光導波路と前記第4の光導波路の少なくとも一方の前記コア層の端部にパッドジョイントされた活性層を有する半導体レーザが前記半導体基板上に形成されていることを特徴とする請求項1乃至請求項6のいずれかに記載の光半導体装置。

【請求項8】前記第1及び第2の位相変調電極の下の前記第1及び第2の上側クラッド層は第2導電型半導体から形成され、

前記半導体レーザの前記活性層の上には、高抵抗半導体層を介して前記第2導電型クラッド層から実質的に分離された第2導電型クラッド層が形成されていることを特徴とする請求項7に記載の光半導体装置。

【請求項9】前記第1及び第2の位相変調電極から離れた領域において、前記第1のコア層と前記第2のコア層の少なくとも一方のコア層に電界を印加するために該コア層の上方に形成された位相差調整電極をさらに有することを特徴とする請求項1乃至請求項8のいずれかに記載の光半導体装置。

【請求項10】前記コア層の上に配置された前記位相差調整電極と前記第1又は第2の位相変調電極は電気的に接続されていることを特徴とする請求項9に

記載の光半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光半導体装置に関し、より詳しくは、光通信システムにおいて光送信器内の光変調器として用いられる光半導体装置に関する。

【0002】

【従来の技術】

光通信システムにおいて光送信器内の光変調器として用いられる素子として、入力電気信号（電圧）の波形を元にして連続光を変調する機能を有する構造の素子がある。その中でも 10 ~ 80 Gbits/sec. あるいはそれ以上の超高速通信に対応した素子が用いられている。

【0003】

そのような機能を持つ素子として、 $\text{LiNbO}_3$ を材料としたマッハツエンダ型光変調器が挙げられる。図1は、この様な素子を上面から見た模式図である。

【0004】

図1に示す光変調器は、2本の光導波路101, 102、2つの光カプラ103, 104及び1つの光位相変調器105を含む干渉計を有している。第1、第2の光導波路101, 102の入力端は第1の光カプラ103に接続されて連続光を2つに分ける。また、それらの光出力端は第2の光カプラ104に接続され、2つの分けられた連続光を再結合することにより光変調信号が生成される。

【0005】

光位相変調器105は、第1の光導波路101の上に形成されたシグナル電極105aと、シグナル電極105aの両側に間隔をおいて形成された第1、第2のグランド電極105b, 105cから構成されている。

【0006】

第1及び第2のグランド電極105b, 105cの一端はそれぞれ高周波電気信号源106を介してシグナル電極105aの一端に電気的に接続されている。また、第1及び第2のグランド電極105b, 105cの他端はそれぞれ終端抵

抗107を介してシグナル電極105aの他端に電気的に接続されている。

【0007】

図1に示した光変調器の光位相変調器105のI-I線から見た断面構造を図2に示す。

【0008】

第1の光導波路101のコア101aは、 $\text{LiNbO}_3$ 基板100の表層内にチタンを拡散することにより形成されている。第2の光導波路102のコアも、特に図示しないが、第1の光導波路101のコア101aと同じ構造を有している。

【0009】

$\text{LiNbO}_3$ 基板100は、 $\text{SiO}_2$ などの誘電体よりなるバッファ層108に覆われ、バッファ層108上にはシグナル電極105a及び第1、第2のグランド電極105b, 105cが金(Au)メッキによって形成されている。

【0010】

この様な構造において、シグナル電極105aとグランド電極105b, 105cの間に高周波電気信号源106から信号電圧を与えると、シグナル電極105aの周囲の電界はグランド電極105b, 105cとの間の領域で概ね一様の強度で分布し、その電界の一部は第1の光導波路101のコア101aにかかって屈折率変化を生じさせる。

【0011】

通常、図2に示した断面は進行波電極構造として設計された構造であり、その特性インピーダンスを $50\ \Omega$ にマッチングさせることによって高周波電気信号が加わる素子から駆動回路への反射を抑えている。変調器材料として $\text{LiNbO}_3$ 材料系を用いた素子の長さ(光変調器長)は通常40mm程度と非常に大きくなる。

【0012】

一方、素子材料として半導体を用いた光変調器も作られている。半導体材料を用いた素子の長さは大きくても数mmとなっており、 $\text{LiNbO}_3$ を材料とした素子より小さい。また、半導体を基板材料とすることで、半導体を材料とする光源、例えばレーザダイオードとの集積が可能となる。

【0013】

半導体を材料とした従来技術におけるマッハツエンダ型光変調器の構造模式図を図3～図5に示す。図4は図3のII-II線の断面図であり、図5は図3のIII-III線の断面図である。このような光変調器は、例えば、Intern. Conf. on Indium Phosphide and Related Materials WA3-4に記載されている。

## 【0014】

そのような光変調器は、前述のLiNbO<sub>3</sub>材料系の光変調器と同様に、電気信号の入力部分には進行波電極が形成されている。

## 【0015】

図3に示す光変調器は、2本のリッジ型の光導波路111, 112と2つの光カプラ113, 114と進行波電極115を有している。図3に示すような進行波電極115の構造を以下にキャパシティブロード（容量装荷）・スロットライン型電極構造と呼ぶ。

## 【0016】

進行波電極115は2種類の領域に大きく分けられる。そのうちの一方の領域は、光導波路111, 112の両側に間隔をおいて配置される幅の広い2本のスロットライン電極115a, 115bとして示される。第1のスロットライン電極115aと第2のスロットライン電極115bの一端には高周波電気信号源116が接続され、それらの他端は抵抗131を介して接続されている。

## 【0017】

これらの2本のスロットライン電極115a, 115bは、その内側に派生された幅の細い電極部分を除いて考えると、スロットライン型の伝送路である。このスロットライン型の伝送路は、素子端に接続される高周波電気信号源116からの信号を素子全体に伝搬させるための伝送路として機能している。

## 【0018】

もう一方の領域は、2本のスロットライン電極115a, 115bの間の領域に形成された位相変調器部の位相変調電極115c, 115dである。位相変調電極115c, 115dは、マッハツエンダ干渉計を構成する2本のリッジ型の光導波路（アーム）111, 112の上部に形成されており、アーム111, 112内の光導波路コア層に電界をかけるために形成されている。

## 【0019】

位相変調電極115c, 115dは後で述べるように電気的にはキャパシタンス（電気容量）とみなすことができる。そして、この電気容量がブリッジ配線を介してスロットライン電極115a, 115bに接続された配置となっている。そのため、図3に示す進行波電極115の構造全体は容量装荷スロットライン電極構造と呼ばれる。

## 【0020】

このように進行波電極115を二つの領域に分けているのは、これら全体を一つの高周波伝送路としてみて、その特性インピーダンスを所望の値に一致させるためである。

## 【0021】

図4は、図3に示した半導体光変調器における位相変調器部及びその周囲のII-II線断面図である。

## 【0022】

図4において、高抵抗のInP基板120の上には、高抵抗InPバッファ層121、第1のInGaAsPエッチストップ層122、 $n^+$ -InP層123、 $n^-$ -InP層124、MQW層125、第1のi-InP層126、第2のInGaAsPエッチストップ層127、第2のi-InP層128、p-InP層129、p-InGaAsPコンタクト層130が形成されている。そして、第1のInGaAsPエッチストップ層122から第2のInGaAsPエッチストップ層127までの各層は、パターニングされることにより、第1、第2の導波路111, 112を含む形状となってInP基板120上に残される。

また、第2のInP層128、p-InP層129及びp-InGaAsP層130は、第1、第2の導波路111, 112に沿って第1、第2のリッジ部111a, 112aとして形成されている。そして、第1のリッジ部111aとその下方の各層によって第1の導波路111が構成され、また、第2のリッジ部112aとその下方の各層によって第2の導波路112が構成される。

## 【0023】

第1及び第2の導波路111, 112を含む領域の両側のスロットライン領域

では、高抵抗InP バッファ層121、第1のInGaAsP エッチストップ層122、 $n^+$ -InP層123、 $n^-$ -InP層124、MQW層125、第1のi-InP層126、第2のInGaAsP エッチストップ層127、第3のi-InP 層135が積層されてなる多層構造が、第1及び第2の導波路111、112を構成する層から離れて形成されている。それらの2つの多層構造の第3のi-InP 層135の上にはそれぞれスロットライン電極115a、115bが形成されている。また、第1、第2のリッジ部111a、112aのp-InGaAsP 層130の上にはそれぞれ位相変調電極115c、115dが形成されている。

#### 【0024】

第1のリッジ部111a上で間隔をおいて断続的に形成される第1の位相変調電極115cは、エアブリッジ配線115eを通して第1のスロットライン電極115aに接続されている。また、第2のリッジ部112a上で間隔をおいて断続的に形成される第2の位相変調電極115dは、エアブリッジ配線115fを通して第2のスロットライン電極115bに接続されている。なお、DCパッド115gは第2のInGaAsP エッチストップ層127上に形成されている。

#### 【0025】

図4の断面構造は、非常に薄い光導波路のコア層であるMQW層125を導電性の半導体層で上下から挟んだ構造になっており、単位長さあたりで大きな電気容量を持つ。

#### 【0026】

このような単位長さあたりの電気容量が大きい層構造により形成される一様な伝送路の特性インピーダンスは非常に小さな値になるので、特性インピーダンスの所望の値として例えば50Ωから大きくはずれてしまう。

#### 【0027】

これに対してスロットライン部分のみの特性インピーダンスは、これらを構成する二つのスロットライン電極115a、115bの間隔が大きいことに起因して比較的大きな値を持つ。その値は、2つのスロットライン電極115a、115bの間隔を調整することである程度所望の値に近づけることができる。

#### 【0028】

ここで、このような位相変調領域とスロットライン領域の二つの領域を合わせた素子全体をミリ波の伝送路としてみた場合の特性インピーダンスは、スロットラインの特性インピーダンスと位相変調領域の特性インピーダンスの平均的な値となる。

## 【0029】

したがって、位相変調器部の構造を電気容量の大きな図4の層構造に維持したままでも、それと組み合わされたスロットライン電極115a, 115bの構造を調整することにより、素子全体の特性インピーダンスを所望の値に近づける設計が可能である。あるいは、位相変調電極115c, 115dの長さの合計が、スロットライン電極115a, 115bの全長に占める割合を調整することでも素子全体のインピーダンスを調整できる。

## 【0030】

また、図4の断面構造においてマッハツエンダ干渉計を構成する2本の光導波路111, 112はリッジ型光導波路になっており、MQW層125により構成されている。

## 【0031】

リッジ型の導波路であるため、コアのMQW層125は横に広がっており、本光変調器においては2本のアーム間でMQW層125が連続している。MQW層125の直下にはn-InP層123, 124が一様に形成されているが、その幅はMQW層125と同じで、2本のアームの間に連続的に形成されている。また、MQW層125直上の層は第1のi-InP層126により形成されているが、第1のi-InP層126もMQW層125と同様の幅で広がっている。その上のリッジ部111a, 112aは、MQW層125に近い順に、第2のi-InP層128、p-InP層129により形成されており、それらの幅は通常の光導波路の2.0μm程度である。

## 【0032】

図5は、図3のIII-III線断面図であり、位相変調器の光軸に平行な方向の断面図である。

## 【0033】

図5に示すように、マッハツエンダ干渉計を構成する2本のアームの上部には、アームの軸方向に沿って、MQW層125に電界をかけて位相変調を行うための位相変調電極115c, 115dが断続的に形成されている。また、アームのうち位相変調電極115c, 115dが形成されてない部分においてもMQW層125直上には導電性半導体のp-InP層129、p-InGaAsPコンタクト層130が形成されている。

#### 【0034】

##### 【発明が解決しようとする課題】

従来の光変調器においては、光変調動作時に高周波電気信号を素子上の進行波電極に伝搬させる際のエネルギー損失が大きいという問題があった。その結果、高周波電気信号が素子の進行波電極を伝搬する際の周波数帯域が低くなり、光変調帯域が低く抑えられるという問題が生じた。

#### 【0035】

従来の光変調器において、素子上の進行波電極を高周波電気信号が伝搬する際の損失係数は、 $\alpha = 200 \sim 250 / \text{m}$ となる。この場合、長さ  $L \text{ m}$  の進行波電極を伝搬する高周波電気信号の強度は  $e \times p (-\alpha \cdot L)$  の割合で減衰する。このように高周波電気信号の損失が大きいことに対して4つの原因が考えられる。以下これらについて順に詳しく述べる。

#### 【0036】

まず、第1の原因について説明する。

#### 【0037】

図4に示した従来技術の光変調器の断面層構造において、アンドーピングのi-MQW層125とi-InP層126, 128の上部にp-InP層129が形成されている。このような層構造をMOVPE法などのエピタキシャル成長により形成する場合、p-InP層129のドーパントであるZnがその下のi-InP層126, 128内、i-MQW層125内に拡散し、これらのi層の一部をp型に導電化する。

#### 【0038】

図4においてi-InP層126及びi-MQW層125は、2本のアーム間に連続して形成されている。

## 【0039】

したがって、これらの層がp型に導電化した場合、2本のアーム上の各々の位相変調電極115c, 115dは、それらの直下のp-InP層129及びp-InGaAsP層130とp型導電化したi型の半導体層を通じて電気的に導通してしまう。一般に、高周波電気信号が伝搬する2つの電極の間で電気的アイソレーションが不完全であると、電極間を伝搬させる高周波電気信号の損失が大きくなる。その結果、高周波電気信号が素子を伝搬する際の周波数帯域が小さくなり、光変調帯域が小さく抑えられるという問題がある。

## 【0040】

MQW層125直上のi-InP層126, 128を十分厚く形成して、Znの拡散を抑えることも考えられるが、この場合はMQW層125を含むi層の厚さが大きくなる。i層が厚くなると、光を変調するための電界がアンドーピング層の全体に一様に印加されるため、電界の強度は全体のi層が薄い状態に比べて小さくなってしまう。その結果、駆動電圧の増大を招くという問題が生じる。

## 【0041】

次に、第2の原因について説明する。

## 【0042】

前述のように、従来の半導体光変調器の変調動作時には高周波電気信号による大きな電界がMQW層125を含むi層に集中してかかる。この電界は、i層の直上のp-InP層129に染み出すため、この部分において電界と導電率を有する半導体とがオーバラップする。このような電界と導電性材料のオーバラップは高周波において電気信号のエネルギーロスになる。このことは、MQW層125の下のn-InP層123, 124についても同様である。これにより従来技術における半導体光変調器は高周波電気信号の損失が大きい。

## 【0043】

次に、第3の原因について説明する。

## 【0044】

図4において、2本のリッジ導波路の間にはMQW層125が連続して存在しているが、2本のリッジ導波路の間の領域においても微量ながら高周波電気信号

による電界が生じる。

【0045】

MQW層125からなるコアはアンドーピング層であって誘電体層として形成されている。この場合においても、MQW層125と電界のオーバラップにより高周波電気信号の損失が若干、生じる。また、i-MQW層125の一部は前述のようにZnの拡散の影響でp型化しているため、この部分ではより大きな損失が生じる。これらの損失は光変調帯域の制限要因の一つになる。

【0046】

次に、第4の原因について説明する。

【0047】

図5から分かるように、マッハツエンダ干渉計を構成する2本のアームの上部には、アームの光軸方向に沿って、MQW層125に電界をかけて位相変調を行うための位相変調電極115c, 115dが一方向に断続的に形成されている。この場合、アーム上に位相変調電極115c, 115dが形成されてない部分においても、MQW層125直上には導電性半導体のp-InP層129とp-InGaAsPコンタクト層130が形成されている。

【0048】

光変調動作を行う場合、位相変調電極115c, 115dが形成された位相変調器部分においては高周波電気信号が伝達され、電極115c, 115dとn-InP層123, 124との間に電界を生じる。この時、この位相変調器部分に伝搬した高周波電気信号の一部はアームの軸方向に染み出していき、電極115c, 115dのない半導体部分にも電界を生じる。この染み出した電界は、p-InP層129などの半導体部分とオーバラップを生じるため、そのエネルギーが失われる。すなわち、高周波電気信号の損失の要因となり、これまで述べてきたように光変調帯域を制限する要因となる。

【0049】

以上のように従来技術の半導体光変調器においては素子上の様々な箇所において、導電性の半導体あるいはアンドーピング層の半導体が形成されており、これらの材料と高周波電気信号により生じる電界とのオーバラップにより、高周波電

気信号の損失が生じていた。その結果、光変調帯域が小さくなるという問題があった。

## 【0050】

いずれの場合においても、変調動作に関係ない領域に導電性あるいは誘電体の半導体層が形成されていることが原因である。半導体層は位相変調を生じさせるMQWコア層付近において、金属電極との間に最小限の体積で形成されていることが望ましい。

## 【0051】

本発明の目的は、電界と半導体のオーバーラップによる電気信号の損失を従来よりも低減する光半導体装置を提供することにある。

## 【0052】

## 【課題を解決するための手段】

上記した課題は、半導体基板の上に形成された第1導電型半導体よりなるバイアス層と、前記バイアス層の上に形成され且つ第1の上側クラッド層と第1導電型半導体よりなる第1の下側クラッド層との間に挟まれたストライプ状の第1のコア層を有する第1の光導波路と、前記第1の上側クラッド層から分離された第2の上側クラッド層と第1導電型半導体よりなる第2の下側クラッド層との間に挟まれて前記バイアス層の上に形成され、且つ前記第1のコア層とは分離されて形成されたストライプ状の第2のコア層を有する第2の光導波路と、前記第1の光導波路の前記第1の上側クラッド層の上に形成された第1の位相変調電極と、前記第2の光導波路の前記第2の上側クラッド層の上に形成された第2の位相変調電極と、前記第1の光導波路の側方に形成されて前記第1の位相変調電極に第1のエアブリッジ配線を介して接続される第1のスロットライン電極と、前記第2の光導波路の側方に形成されて前記第2の位相変調電極に第2のエアブリッジ配線を介して接続される第2のスロットライン電極と、前記半導体基板の上に形成されて前記第1の光導波路と前記第2の光導波路のそれぞれの一端に接続される第1の光カプラと、前記半導体基板の上に形成されて前記第1の光導波路と前記第2の光導波路のそれぞれの他端に接続される第2の光カプラと有することを特徴とする光半導体装置によって解決される。

## 【0053】

上記した課題は、半導体基板の上に形成された第1導電型半導体よりなるバイアス層と、前記バイアス層の上に形成され且つ第1の上側クラッド層と第1導電型半導体よりなる第1の下側クラッド層との間に挟まれて光導波路の伝搬基本モードの電界分布のビーム径の幅を有するストライプ状の第1のコア層を有する第1の光導波路と、前記第1の上側クラッド層から分離された第2の上側クラッド層と第1導電型半導体よりなる第2の下側クラッド層との間に挟まれて前記バイアス層の上に形成され、且つ光導波路の伝搬基本モードの電界分布のビーム径の幅を有するストライプ状の第2のコア層を有する第2の光導波路と、前記第1の光導波路の前記第1の上側クラッド層の上に形成された第1の位相変調電極と、前記第2の光導波路の前記第2の上側クラッド層の上に形成された第2の位相変調電極と、前記第1の光導波路の側方に形成されて前記第1の位相変調電極に第1のエアブリッジ配線を介して接続される第1のスロットライン電極と、前記第2の光導波路の側方に形成されて前記第2の位相変調電極に第2のエアブリッジ配線を介して接続される第2のスロットライン電極と、前記半導体基板の上に形成されて前記第1の光導波路と前記第2の光導波路のそれぞれの一端に接続される第1の光カプラと、前記半導体基板の上に形成されて前記第1の光導波路と前記第2の光導波路のそれぞれの他端に接続される第2の光カプラとを有することを特徴とする光半導体装置によって解決される。

## 【0054】

本発明における半導体変調器の電気信号の入力部分は進行波形電極として形成されている。

## 【0055】

この変調器の進行波電極は、2種類の領域に大きく分けられる。一方は、光半導体素子の両側に配置されている幅の広い2つのスロットライン電極である。2本のスロットライン電極は、その内側に各スロットライン電極から派生した幅の細い位相調整電極を除いて考えると、2本でスロットライン伝送路を形成している。このスロットライン電極は高周波電子気信号を素子全体に伝搬させる伝送路としての機能を有している。

## 【0056】

位相変調電極は、2本のスロットライン電極の内側に形成されいる。各スロットライン電極は、それぞれマッハツエンダ干渉計を構成する2本の光導波路（アーム）上に形成されている。

## 【0057】

本発明における光変調器の位相変調領域では、2本の光導波路のそれぞれのコア層を例えばMQWにより形成し、その幅はそれぞれのアームにおいて光のモード形状と同等程度に小さく抑えられており、2本のアーム間でコア層は連続していない。

## 【0058】

コア層の上の上側クラッド層は、例えばi-InP、p-InPから構成されているがこれらの幅についてもコア層と同じように小さく抑えられている。さらに、コア層の直下に存在する第1導電型半導体、例えばn-InP層からなる下側クラッド層についても、MQWコア層に接する部分においては、MQWコア層と同じ幅に形成されている。

## 【0059】

2本のアームに挟まれた領域での半導体層の最表面、例えばn-InP層の上面はコア層の最下面よりも低い位置に形成されている。

## 【0060】

また、コア層の両脇には高抵抗半導体層が形成されており、この高抵抗半導体層とMQW層と上側及び下側クラッドは幅数 $\mu m$ 程度のメサを構成する。位相変調電極は、2本のアームにおいてそれぞれ、メサ上面にある第2導電型コンタクト層の上面と、高抵抗半導体層の上面に亘って形成されている。

## 【0061】

マッハツエンダ干渉計を構成する2本のアームにおいて、アーム上部に位相変調電極が形成されている部分、すなわち位相変調器部分ではコア層と位相変調電極との間に導電性半導体が形成されているのに対して、電極が形成されていない部分においてはコア層の上に高抵抗半導体層を形成してもよい。

## 【0062】

本発明においては、光導波路の下部に第1導電型半導体層からなるクラッド層を素子上的一部の領域において光導波路よりも広く形成し、その拡張領域上にDCバイアス用電極パッドを形成している。これにより、光導波路の下の第1導電型半導体層を一定電位に保つ。

## 【0063】

本発明においては素子上に形成された進行波電極の特性インピーダンスを所望の値に一致させる事が可能である。本発明においては前述のように素子上の進行波電極を、スロットライン電極領域と位相変調電極領域の2つの領域に分けている。これにより、素子全体を一つの高周波伝送路としてみた場合に、その特性インピーダンスを所望の値に一致させる事が可能である。

## 【0064】

本発明における位相変調器部分は非常に薄い光導波路コア層を導電性の半導体層で挟んだ構造になって大きな電気容量を持つ。

## 【0065】

2つのスロットライン電極の特性インピーダンスは、2つのスロットライン電極の互いの間隔を大きくすることにより比較的大きな値を持つ。その値は電極の間隔を調整することにより、ある程度所望の値に近づけることができる。

## 【0066】

このような2つの領域を合わせた素子全体をミリ波の伝送路としてみた場合の特性インピーダンスは、スロットラインの特性インピーダンスと光導波路の特性インピーダンスとの平均的な値となる。したがって位相変調器部分の構造を電気容量の大きな層構造に維持したままでも、それと組み合わされたスロットライン電極の構造を調整することで、素子全体の特性インピーダンスを所望の値に近づける設計が可能である。あるいはスロットライン電極の全長に占める、位相変調電極長の割合を調整することでも素子全体のインピーダンスを調整できる。

## 【0067】

本発明においては高周波電気信号を素子上に伝搬させる際のエネルギー損失が小さいという作用が得られる。以下のこの事について詳しく説明する。

本発明において、コア層であるi-MQW層とアンドープの上側クラッド層はその

幅が光の伝搬モードの幅と同程度に抑えられており、しかもコア層と上側クラッド層が2本のアーム間で連続していない。したがって、これらの層の一部がさらに上の結晶成長中のドーパントの拡散により導電型化しても、2本のアーム間で上側クラッド層同士又はコア層同士が電気的に導通することがない。

## 【0068】

2本のアームのそれぞれのコア層の下の下側クラッド層は、2本のアーム間で連続している。しかし、2本のアームのそれぞれにおいて、下側クラッド層と2本のアーム上の電極は、下側クラッド層とは逆の導電性を持つ上側クラッド層を介して接続されている。即ち、2本のアームのそれぞれに設けられた電極の間では、2つのダイオードを極性を逆向きにして直列接続した状態となる。

## 【0069】

したがって、2本のアーム上の電極の間では、下側クラッド層を通る電気的パスの絶縁性は非常に大きい。すなわち、本発明における光変調器は高周波電気信号が伝搬する2つの電極の間で電気的アイソレーションが良好であり、そのため高周波電気信号の損失は小さい。

## 【0070】

本発明において、光導波路のコア層となるMQW層の幅は光のモード分布と同程度に小さく抑えられており、その両側はMQW層より屈折率の小さい、高抵抗性半導体層が形成されている。このような導波路構造においてMQW層の幅は従来技術で用いられているリッジ構造導波路のリッジ部分の幅に比較して小さい。そのため、本発明においてMQW層の上部に形成されたp-InP層（上側クラッド層）の幅は、従来技術のp-InPの幅に比較して小さい。これにより、この部分における高周波電気信号による電界と上側クラッド層とのオーバラップも小さい。また、MQW層の下の下側クラッド層についても同様に、本発明においてはMQW層直下においてその幅はMQW層の幅と同じで小さく抑えられている。したがって、この部分でも下側クラッド層を構成する導電性半導体と電界とのオーバラップは小さい。MQW層の両側には高抵抗性の半導体（InP）が形成されているが、この部分での高周波電気信号の損失は殆どない。このように、本発明においてはMQW層を上下から挟む導電性半導体と、高周波電気信号による電界のMQ

W層付近でのオーバラップが小さくなり、そのため高周波電気信号の損失が小さい。

【0071】

本発明において、マッハツエンダ干渉計を構成する2本のアーム間の領域のコア層は除去されており、その領域から半導体層、例えばn-InP層が最表面に形成されている。この半導体層の上面の位置はコア層の下面よりも基板側に下げられている。2本のアーム間の空間には高周波電気信号による電界が分布しているが、その強度は電極に近いほど大きい。本発明においてはアームの間に存在するのではなくて半導体層のみで、しかもその位置は電極から下方に遠ざけられた位置に形成されている。

【0072】

したがって、2本のアーム間の領域での電界は小さく、その結果、電界と半導体とのオーバラップから生じる高周波電気信号の損失は小さい。

【0073】

本発明において、マッハツエンダ干渉計を構成する2本のアームの上部に位相変調電極が形成されている。そして、位相変調電極とコア層の間に第1導電型半導体が形成されている。これに対して、アーム上部に電極が形成されていない部分においては、コア層の上に高抵抗半導体層、例えば高抵抗InP層が形成されている。

【0074】

光変調動作を行う場合、電極の形成された位相変調器部分においては高周波電気信号が伝達され、位相変調電極とコア層の下の第1導電型クラッド層との間に電界を生じる。この時、この位相変調器部分に伝搬した高周波電気信号の一部は光軸方向に広がり、上面に電極のない部分にも電界を生じる。

【0075】

本発明においては、上面に電極のない部分では、前述のようにコア層上に高抵抗半導体層が形成されている。高抵抗性半導体は、導電性の半導体と異なり、電界とのオーバラップにより生じる高周波電気信号のエネルギー損失は非常に小さい。したがって、本発明においては、アーム上部に電極が形成されていない部分

での高周波電気信号の損失は小さい。

このように、本発明においては高周波電気信号が素子を伝搬する際に生じる、導電性半導体あるいは絶縁性半導体と電界とのオーバラップを必要最小限にし、高周波電気信号の伝搬に対して最適化した構造となっている。

#### 【0076】

これにより、高周波電気信号が素子を伝搬する際に生じるエネルギー損失は小さい。その結果、高周波電気信号が素子を伝搬する際の周波数帯域は十分大きくなり、光変調帯域も十分大きくなるという作用が得られる。本発明の光変調器において、素子上の進行波電極を高周波電気信号が伝搬する際の損失係数 $\alpha$ は、 $\alpha = 70 \sim 100 / \text{m}$ となる。この値は、先に示した従来の半導体光変調器の損失係数 $\alpha = 200 \sim 250 / \text{m}$ に比較して大幅に低減されている。したがって、本発明の効果は非常に大きい。

#### 【0077】

なお、本発明においてコア層の両側には高抵抗半導体層が形成されており、高抵抗半導体層はその間に挟まれたMQW層及びクラッド層とともに幅数 $\mu\text{m}$ 程度のメサを形成している。一般に光のモードの電界分布と同程度の幅の狭い領域に金メッキ等による電極を形成することは困難で製造上の問題となる。

#### 【0078】

本発明においては、2本のアーム上の電極は、それぞれ上述のメサ上面のコンタクト層、高抵抗半導体層に跨った比較的広い領域に電極が形成されているため、製造も容易である。この場合、電極から流れる電流は高抵抗半導体層の間のコンタクト層のみを通じて流れる。

#### 【0079】

##### 【発明の実施の形態】

以下に本発明の実施の形態を図面に基づいて説明する。

##### (第1の実施の形態)

図6は、本発明の第1実施形態に係る半導体光変調器の平面図、図7は、図6のIV-IV線断面図、図8は、図6のV-V線断面図、図9は、図6のVI-VI線断面図、図10は、図6のVII-VII線断面図である。

## 【0080】

本実施例に係るマッハツエンダ型光変調器は、高抵抗InP 基板1の上に形成されている。

## 【0081】

高抵抗InP 基板1の全面には高抵抗InP バッファ層2が形成されている。その高抵抗InP バッファ層2上には、ほぼ中央を通る略四角形の平面形状を有するn型導電性のInP バイアス層(n-InP 層)4が形成されている。このn-InP バイアス層4は、後述するDCバイアス電極からDCバイアスが印加され、その厚さは約1.5  $\mu$ mで、幅は26.0  $\mu$ mに加工されている。このn-InP バイアス層4のドーパントはシリコン(Si)であり、ドーパント濃度は $1.0 \times 10^{18} / \text{cm}^3$ である。

## 【0082】

n-InP バイアス層4と高抵抗InP バッファ層2の間には厚さ50nmの第1のアンドープInGaAsP (i-InGaAsP) エッチストップ層3が形成されている。

## 【0083】

n-InP バイアス層4の上には、第1、第2の埋込型光導波路(アーム)5, 6と第1、第2の多モード干渉(MMI)光カプラ7, 8が形成されており、これらによりマッハツエンダ光干渉計が構成されている。

## 【0084】

第1、第2の埋込型光導波路5, 6は、第1及び第2のMMI光カプラ7, 8の間の領域では離れて形成されており、それらの光入射端は第1のMMI光カプラ7の光出射部に接続され、それらの光出射端は第2のMMI光カプラ8の光入射端に接続されている。

## 【0085】

埋込型光導波路5, 6は、図6、図7に示すような構造を有している。

## 【0086】

マッハツエンダ干渉計を構成する2本のアーム5, 6内には、それぞれ幅1.5  $\mu$ mのストライプ状のアンドーピング多重量子井戸(i-MQW)層11がコア層として光軸に沿って形成されている。このMQW層11は、15層の井戸層を

有し、各井戸層をバリア層で挟む構造となっている。井戸層、バリア層の材料はそれぞれInP、InGaAsPである。また、井戸層及びバリア層の膜厚は共に10nmである。i-MQW層11は、光導波路5、6の伝搬基本モードの電界分布のビーム径程度の幅を有している。i-MQW層11のPL発光波長は1.43μmである。

## 【0087】

i-MQW層11の上には、厚さ0.2μmのアンドーピングのInP層(i-InP層)12と、厚さ2.0μmのp型導電性のInP層(p-InP層)13と、厚さ0.3μmのp型導電性のInGaAs層(p-InGaAs層)14が形成されている。p-InP層13、p-InGaAs層14のドーパントは亜鉛(Zn)であって、ドーパント濃度はそれぞれ $1.0 \times 10^{18} / \text{cm}^3$ 、 $2.0 \times 10^{19} / \text{cm}^3$ である。

## 【0088】

i-InP層12、p-InP層13、p-InGaAs層14は、図7、図8、図9に示すように、第1、第2の埋込型光導波路(アーム)5、6のそれぞれの位相変調領域に、光進行方向に35.0μmの長さで且つ20.0μmの間隔をおいてi-MQW層11の上に20個ずつ凸状に形成されている。但し、紙面の都合上、図においては個数が省略されて4個で表されている。

## 【0089】

また、i-MQW層11の下には、光軸方向に沿って、厚さ0.3μmのn-InP層10が形成されている。i-MQW層11及びn-InP層10は光軸に平行に一様な膜厚にて形成されている。n-InP層10のドーパントはSiであり、そのドーパント濃度は $1.0 \times 10^{18} / \text{cm}^3$ である。

## 【0090】

n-InP層10、i-InP層12、p-InP層13、p-InGaAs層14の幅は全てi-MQW層11の幅と等しく、1.5μmとなっている。n-InP層10からp-InGaAs層14までの各層の周囲は、鉄(Fe)がドープされた高抵抗InP層(SI-InP層)15により埋め込まれている。また、光軸方向に分断されたi-InP層12、p-InP層13、p-InGaAs層14からなる凸部の間にもSI-InP層15が埋め込まれている。

## 【0091】

第1、第2の光導波路5、6の位相変調領域の間では、SI-InP層15に凹部が形成されて、n-InPバッファ層4の上面が露出している。即ち、位相変調領域において、2つの光導波路5、6の間では、n-InPバッファ層4の上面がp-InGaAs層14及びi-MQW層11よりも下に位置している。

## 【0092】

SI-InP層15の上面は、p-InGaAs層14の上面とともに平坦面を形成する。SI-InP層15は、n-InPバイアス層の上で、n-InP層10、i-MQW層11、i-InP層12、p-InP層13、p-InGaAs層14とともにメサ構造を構成している。メサ構造の位相変調領域における幅は8.0  $\mu\text{m}$ である。

## 【0093】

なお、メサ構造とn-InPバイアス層8の間には厚さ50nmの第2のInGaAsPエッチストップ層9が形成されている。第2のInGaAsPエッチストップ層9とSI-InP層10の総厚は3.3  $\mu\text{m}$ である。

## 【0094】

上記した光導波路5、6は、図面においてコアであるi-MQW層11を便宜的に示しているが、その上下の層10、12～14、15も含まれる構造であり、これについては以下の実施形態でも同様である。また、光導波路5、6においてコアであるi-MQW層11の屈折率は、その周囲のInP層の屈折率よりも高くなっている。

## 【0095】

図6～図10に示すマッハツエンダ型変調器は、スロットライン型の電極と位相変調のための電極とがAuメッキにて形成されている。なお、スロットライン型の電極を以下にスロットライン電極といい、位相変調のための電極を以下に位相変調電極という。

## 【0096】

第1、第2のスロットライン電極17a、17bは、n-InPバイアス層4の両側面から10.0  $\mu\text{m}$ 離れた領域に、Auメッキにより幅20.0  $\mu\text{m}$ 、膜厚4.0  $\mu\text{m}$ で形成されている。また、メサ構造の上面から20.0  $\mu\text{m}$ の間隔で断続

的に露出しているp-InGaAs層14の上とその両側のSI-InP層15の上には、それぞれ厚さ3.0μmの位相変調電極18a, 18bがAuメッキにより形成されている。p-InGaAs層14は、位相変調電極18a, 18bのコンタクト層となっている。

## 【0097】

これにより、位相変調電極18a, 18bはマッハツエンダ干渉計を構成する2本の光導波路5, 6の上にそれぞれ20個ずつ形成されることになる。なお、位相変調電極18は、20個のp-InGaAs層14の相互間のSI-InP層15上とi-MQW層11上には形成されない。

## 【0098】

また、スロットライン電極17a, 17bと位相変調電極18a, 18bは、Auメッキにより形成されるエアブリッジ配線19a, 19bを介して、それぞれ電気的に接続されている。

## 【0099】

n-InPバイアス層4上の光入射領域には、n-InP層10とMQW層11をSI-InP層15で覆ってなるストライプ状の第3の光導波路20が第1のMMI光カプラ7の光入射端に接続されている。また、n-InPバイアス層4上の光出射領域には、n-InP層9とMQW層11をSI-InP層15で覆ってなるストライプ状の第4の光導波路21が第2のMMI光カプラ8の光出射端に接続されている。

## 【0100】

なお、第1及び第2のMMI光カプラ8は、第1、第2の光導波路5, 6よりも幅が広く形成され、第3、第4の光導波路20, 21と同じ層構成となっている。

## 【0101】

上記したn-InPバイアス層4は、図6、図10に示すように、第4の光導波路21の一側方に80.0μmの幅で拡張されている。そして、拡張したn-InPバイアス層4の突出部分の先端から内側に50.0μmの領域にはDCバイアス電圧を印加するためのDCバイアス用電極パッド22が金メッキにより4.0μmの厚さに形成されている。従って、第4の光導波路21とDCバイアス用電極パ

ッド22の距離は30.0  $\mu\text{m}$ となる。なお、DCバイアス用電極パッド22の光進行方向に沿った長さは、50.0  $\mu\text{m}$ であり、その下のn-InPバイアス層4は、DCバイアス用電極パッド22と同じ平面形状となっている。また、DCバイアス用電極パッド22と第4の光導波路21の間の領域に形成されたn-InPバイアス層4の光進行方向に沿った長さは10.0  $\mu\text{m}$ である。

#### 【0102】

図11は、図6～図10に示したマッハツエンダ型光変調器を駆動する際の等価回路である。この光変調器は、スロットライン電極17a, 17bの一端から高周波電気信号24を入力し、スロットライン電極17a, 17bの他端を50  $\Omega$ の抵抗25で終端している。また、マッハツエンダ干渉計を構成する2本の光導波路5, 6におけるi-MQW層11からなるコアの下部はn-InPバイアス層4により接続されており、i-MQW層11の下面の電位を2本の光導波路5, 6の間に実質的に等しくしてある。更に、n-InPバイアス層4は光変調器両端間で連続しており、DCバイアス用電極パッド22に接続されている。

#### 【0103】

n-InPバイアス層4は、等価的にインダクタンスとなり、p-InP層13、MQW層11及びn-InP層10は、等価的にダイオードとなる。

#### 【0104】

そして、光変調器の駆動時には、DCバイアス用電極パッド22にDC電圧源26からDCバイアスを与えることで、n-InPバイアス層4の電位を所望の値に調整する。

#### 【0105】

第3の光導波路20から入力した連続光は、第1のMMIカプラ7を通して第1、第2の光導波路5, 6へと2つの経路に分けられる。そして、第1の光導波路5の位相変調領域において第1の位相変調電極18aに与えられた高周波信号により位相変調された光は、第2のMMIカプラ8へと進行する。これと同時に、第2の光導波路6の位相変調領域において第2の位相変調電極18bに与えられた高周波信号により位相変調された光は第2のMMIカプラ8へと進行する。

#### 【0106】

第1の光導波路5と第2の光導波路6のそれぞれにおいて位相変調された光は、第2のMMIカプラ8において結合して、光強度変調信号となって第4の光導波路21を通して進行する。なお、光変調器において、コアとなるi-MQW層11の上と下に形成されたn-InP層10、i-InP層12、p-InP層13はクラッド層として機能し、また、SI-InP層15もクラッド層として機能する。これにより、光はi-MQW層11を中心にして進行する。

## 【0107】

次に、第1実施形態に係る光変調器の製造方法を説明する。

## 【0108】

図12は、本発明の第1実施形態に係る半導体光変調器の膜作成工程を示す斜視図、図13～図17は、本発明の第1実施形態に係る半導体光変調器の作成工程を示す上面図、図18～図22は、本発明の第1実施形態に係る半導体光変調器の一部の作成工程を示す斜視図である。

## 【0109】

なお、図18～図22は、図13～図17において破線で囲まれた領域の斜視断面を示している。

## 【0110】

まず、図12に示すように、高抵抗InP基板1上にn-InP層4a、アンドーピング多重量子井戸(i-MQW)層11、i-InP層12、p-InP層13、p-InGaAs層14を順にMOVPE法を用いて一様に形成したウエハを用意する。高抵抗InP基板1の上層はMOVPE法により形成された高抵抗InPバッファ層2を含むものとする。また、n-InP層4aは、約1.8μmの厚さに形成されている。

## 【0111】

なお、上記したように、n-InP層4aのうち下面から1.5μmの高さにはInGaAsPエッチストップ層9が形成され、n-InP層4aの下面と高抵抗InP基板の間にInGaAsPエッチストップ層3が形成されている。それらのエッチストップ層3、9は図では省略されている。

## 【0112】

次に、SiO<sub>2</sub>からなるマスク(不図示)を位相変調領域に形成する。そのマスク

は、光進行方向に対して直交する方向に延在するストライプを光進行方向に20  $\mu\text{m}$ の間隔をおいて複数形成した平面形状を有している。そのストライプは、光進行方向に対して35  $\mu\text{m}$ の幅を有している。

【0113】

そして、そのマスクに覆われない領域にあるi-InP層12、p-InP層13、p-InGaAs層14をエッティングによって除去し、MQW層11を露出させる。

【0114】

続いて、図13に示すように、マスクに覆われない領域から露出したMQW層11の上に第1のSI-InP層15aを約3.3  $\mu\text{m}$ の厚さに形成し、その後にマスクを除去する。図13において破線で囲んだ領域の斜視断面を図18に示す。なお、 $\text{SiO}_2$ からなるマスクの上には第1のSI-InP層15aは成長しない。

【0115】

ここまで工程は、リソグラフィー技術、エッティング技術及びMOVPE法による再成長技術により行われる。

【0116】

次に、図14、図19に示すように、n-InP層4aとi-MQW層11、i-InP層12、p-InP層13、p-InGaAs層14及び第1のSI-InP層15aをドライエッティング技術により加工し、マッハツエンダ干渉計を構成する幅1.5  $\mu\text{m}$ の第1～第4の光導波路5, 6, 20, 21及び幅1.8  $\mu\text{m}$ の第1、第2のMMI光カプラ7, 8を形成する。この場合にも、第1～第4の光導波路5, 6, 20, 21及び第1、第2のMMI光カプラ7, 8のそれぞれの平面形状を有する $\text{SiO}_2$ マスク（不図示）を第1のSI-InP層15a及びp-InGaAs層14の上に形成する。また、n-InP層4aのエッティングは、n-InP層4aの下面から1.5  $\mu\text{m}$ の厚さが残るように行われる。この際のエッティングは、n-InP層4a内のInGaAsPエッティングストップ層（9）の手前で停止させ、この層を残すようにする。

【0117】

これにより形成されたn-InP層4aの凸部は、図7～図10に示したように、第1～第4の光導波路5, 6, 20, 21のi-MQW層11と同じ平面形状のn-InP層10となる。

## 【0118】

次に、図15、図20に示すように、 $\text{SiO}_2$ マスク（不図示）を残した状態で、ドライエッティングにより露出されたn-InP層4aの上にMOVPE法による埋め込み成長技術を用いて第2のSI-InP層15bを約3.3  $\mu\text{m}$ の厚さに選択成長する。その後に、 $\text{SiO}_2$ マスクを除去する。

## 【0119】

さらに、マッハツエンダ干渉計を構成する第1～第4の光導波路5, 6, 20, 21、第1、第2のMMI光カプラ7, 8の下を通る帯状の領域とDCバイアス用金属パッド22への拡張領域を覆う $\text{SiO}_2$ マスク（不図示）を第1、第2のSI-InP層15a, 15b及びp-InGaAs層14の上に形成する。 $\text{SiO}_2$ マスクは、ストライプ状の第1、第2の光導波路5, 6から3.25  $\mu\text{m}$ はみ出した領域を覆う形状とする。

## 【0120】

そして、図16、図21に示すように、 $\text{SiO}_2$ マスク（不図示）から露出した第2のSI-InP層15b及びその下のn-InP層4aをウェットエッティングして高抵抗InP基板1を露出させる。その際、n-InP層4aの下に形成されたInGaAsPエッチストップ層（3）により、ウェットエッティングは精度良く行われる。このエッチストップ層（3）はウェットエッティングの後に別のエッティング液を用いるエッティングにより選択エッティングされる。これによりパターニングされた、n-InP層4aは、図7～図10に示されたn-InPバイアス層4となる。

## 【0121】

次に、 $\text{SiO}_2$ マスク（不図示）を除去した後に、図17、図22に示すように、第1、第2の光導波路5, 6の互いの対向側面に第2のSI-InP層15bを3.25  $\mu\text{m}$ の幅で残すように、第1、第2の光導波路5, 6の間の領域にある第2のSI-InP層15bをエッティングして、その下のn-InPバイアス層4を露出させる。その際、n-InP層15b中に形成したInGaAsPエッチストップ層9により、ウェットエッティングは精度良く行われる。このエッチストップ層9はウェットエッティングの後に別のウェットエッティングにより除去される。これと同時に、第4の光導波路21からDCバイアス用電極パッド22に至る領域のSI-InP層15bもエ

ツチングして、n-InP バイアス層4の張り出し領域を露出させる。これにより残されたSI-InP層15a, 15bは、図7～図10に示したSI-InP層15となる。この場合にも、第2のSI-InP層15bをパターニングするためにSiO<sub>2</sub>マスクを用いる。

#### 【0122】

最後に、素子の表面にAuメッキによりスロットライン電極17a, 17b、位相変調電極18a, 18b、エアブリッジ配線19a, 19b及びDCバイアス用電極パッド22を形成する。このAuメッキは2回に分けて行われる。

#### 【0123】

最初のメッキにより、図6に示したスロットライン電極17a, 17bとDCバイアス用電極パッド22を4μmの厚さに形成する。その後、2回目のAuメッキにより図6における位相変調電極18a, 18bを3μmの厚さに形成する。この時、位相変調電極18a, 18bとスロットライン電極17a, 17bとがAuメッキのエアブリッジ配線19a, 19bにより接続される。それらの電極をAuメッキで形成する際には、例えばレジストパターンを用いる選択メッキ法による。また、2回目のAuメッキの前にp-InGaAs層14とスロットライン電極17a, 17bの間に例えばレジストを形成し、Auメッキの後にレジストパターンを除去することによりエアブリッジ配線19a, 19bの下には空間が形成される。

#### 【0124】

第2のスロットライン電極17bは、2回目のAuメッキの工程で、第1及び第2の導波路5, 6の上方をエアブリッジ構造となって第1のスロットライン17aの近傍まで引き出される。この場合にも、第1及び第2の導波路5, 6の上に例えばレジストを形成し、エアブリッジ構造を形成した後にレジストを選択除去するようにしてもよい。

#### 【0125】

ところで、上記した位相変調電極18a (18b) の各々の長さと、位相変調電極18a (18b) が光導波路5 (6) 全長に占める割合と、コア層11とその上のアンドーピング層12の合計厚さとを調整することにより、素子の進行波電極としての特性インピーダンスが50Ω又は所望の値に実質的に一致させるこ

とができる。

(第2の実施の形態)

図23は、本発明に係る第2実施形態の半導体光変調器を示す平面図、図24は、図23のVIII-VIII線から見た断面図である。図23、図24において、図6～図10と同じ符号は同じ要素を示している。

【0126】

本実施形態に係る半導体光変調器において、マッハツエンダ干渉計を構成する第1～第4の光導波路5, 6, 20, 21及びMMIカプラ7, 8のi-MQWコア層11の上部には、光軸に平行な方向に沿ってi-InP層12、p-InP層13、p-InGaAs層14が一様に形成されている。

【0127】

即ち、p-InGaAs層14の上面に間隔をおいて形成される複数の位相変調電極18a, 18bの相互間においても、i-InP層12、p-InP層13、p-InGaAs層14が隙間を置かずに形成されている。

【0128】

従って、位相変調電極18a, 18bが形成されていない部分においては、第1実施形態で示したSI-InP層15は形成されずに光導波路5, 6, 20, 21及びMMIカプラ7, 8の両側にのみ形成されることになり、この点で第1実施形態とは異なる構造となっている。その他の構造については第1実施形態と同じである。

【0129】

本実施形態に係る半導体光変調器の製造工程については、第1実施形態とほぼ同様である。但し、本実施形態の場合には、図13、図18に示したMOVPE再成長の工程は省かれる。そのため、本実施形態に係る光変調器は、製造の簡便性において第1実施形態に係る光変調器よりも優れている。

【0130】

しかし、本実施形態においては、位相変調電極18a, 18bが形成されていない部分においてもi-InP層12、p-InP層13、p-InGaAs層14が一様に形成されるため、この部分により高周波電気信号のエネルギー損失が生じる。

## 【0131】

したがって、本実施形態の変調器によれば、複数の位相変調電極18a, 18bの間の部分をSI-InP層で埋め込んだ構造に比べて、進行波電極の周波数帯域は小さくなる。しかし、位相変調器部分の断面は、図7に示した断面と同じ構造になって、i-MQW層11及びその上下層の幅を小さくした構造になっているので、従来技術に比較すると高周波電気信号のエネルギー損失が小さいという作用が得られる。

## （第3の実施の形態）

図25は、本発明に係る第3実施形態の半導体光変調器を示す平面図、図26は、図25のIX-IX線から見た断面図である。図25、図26において、図6～図10と同じ符号は同じ要素を示している。

## 【0132】

本実施形態の半導体光変調器は、マッハツエンダ干渉計を構成する第1、第2の光導波路5, 6のi-MQW層11の間のSI-InP層15は、それらの間の領域で分離されずに、連続的に形成されており、このSI-InP層15の上面とi-MQW層上方のp-InGaAs層14上面との高さ方向の位置がほぼ一致している。

## 【0133】

本実施形態の製造方法は、第1実施形態とほぼ同様の工程である。但し本実施形態の場合には第1実施形態で図17、図22を用いて説明したウェットエッチングの工程において、2つの光導波路5, 6のi-MQWコア層11の間のSI-InP層15を除去せずに、そのままにしておき、DCバイアス用電極パッド22の下のn-InPバイアス層4を露出させる時に、n-InPバイアス層4の両側のSI-InP層15を除去する。

## 【0134】

このように本実施形態では2本の光導波路5, 6のi-MQW層11の間の領域においてSI-InP層15を除去する必要がないため、製造の簡便性の点で第1実施形態よりも優れている。

## 【0135】

また、本実施形態においては、2本の光導波路5, 6のそれぞれのi-MQW層

11上方のp-InGaAs層14の上面と、その間に挟まれたSI-InP層15の上面を合わせた比較的広い範囲に渡って平坦な表面が得られている。このように、p-InGaAs層14上面の周辺の平坦性が良いため、この部分に行うAuメッキは、位置合わせ余裕が大きくなるので比較的容易に形成され、製造上の利点がある。

## 【0136】

なお、本実施形態では、n-InPバイアス層4とi-MQW層11の間にはInGaAsPエッチストップ層9は形成されていない。

## (第4の実施の形態)

図27は、本発明に係る第4実施形態の半導体光変調器を示す平面図、図28は、図27のX-X線から見た断面図で、図29は、図27のXI-XI線から見た断面図である。図27～図29において、図6～図10と同じ符号は同じ要素を示している。

## 【0137】

本実施形態ではこれまで説明してきた半導体光変調器と半導体レーザを集積形成した素子構造となっている。

## 【0138】

図27において、第1のMMI光カプラ7に接続された第3の光導波路20の光入射端には半導体レーザ31が接続されている。また、DCバイアス用電極パッドは、上記した実施形態と異なって、第3の光導波路20の側方で且つ半導体レーザ31のn側電極として形成されている。

## 【0139】

半導体レーザは、図28、29に示すように、n-InPバイアス層4の上には、2本の光導波路5、6のi-MQW層11のとほぼ同じ高さでMQW活性層32が形成されている。

## 【0140】

但し、半導体レーザ31においてMQW活性層32の発光波長は1.55μm近辺に調整され、変調器領域のi-MQW層11とは異なる組成及び構造になっている。

## 【0141】

図28、図29において省略したが、半導体レーザ31においては通常の分布帰還（DFB）レーザと同様に、MQW活性層32の上又は下に回折格子が形成されている。MQW活性層32の組成と回折格子の形状は、このDFBレーザの発振波長が1.55μmとなるようにそれぞれ調整される。

#### 【0142】

半導体レーザ31においてMQW活性層32の上にはp-InPクラッド層33とp-InGaAs層34が形成されている。MQW活性層32の下には、第3の導波路20のi-MQW層11の下から延在してn-InP層10、InGaAsPエッチストップ層3及びn-InPバイアス層4が形成されている。n-InP層10からp-InGaAs層34までの層は、ストライプ状に形成されている。そして、それらの両側にはSI-InP層15が形成されている。

#### 【0143】

半導体レーザ31のp-InGaAs層34とSI-InP層15の上には、Auメッキにより形成されたp側電極35が形成されている。p側電極35は、DCバイアス用電極パッドである。

#### 【0144】

また、半導体レーザ31のn-InP層10、InGaAsPエッチストップ層3及びn-InPバイアス層4は、光進行方向に対して側方へ引き出されており、その上面には、光導波路5、6のp-InGaAs層14の上と同様にAuメッキによるDCバイアス用のn側電極36が形成されている。このn側電極36は、上記した実施形態のDCバイアス用電極パッド22としても機能する。

#### 【0145】

なお、MQW活性層32の下のn-InP層10は、n型クラッド層として機能する。

#### 【0146】

本実施形態におけるレーザ集積半導体光変調器の等価駆動回路を示すと、図30のようになる。

#### 【0147】

半導体レーザ31の一部を構成するn-InPバイアス層4の上面上のDCバイア

ス用のn側電極36にはDCバイアス電圧が与えられ、グランド電位とは異なる電位に保持される。この電位はMQW活性層32の下のn-InPバイアス層4を通じて変調器領域のi-MQW層11の下面にも伝達される。その値は本素子の光変調動作時の消光比が最大となるように調整される。即ち、第1実施形態においてDCバイアス用電極パッド22に与えた電位とほぼ等しい値になる。

## 【0148】

一方、半導体レーザ31においてp-InGaAs層34上に形成したp側電極35に与える電位は、半導体レーザ31から得られる光出力が所望のパワーになる値に調整される。即ち、n-InPバイアス層4上のn側電極36に与える電位に、半導体レーザ31を単体で駆動する際に必要となる電圧を加えた値に設定される。

## 【0149】

本実施形態においては、光源となる半導体レーザ31とレーザ光をデータ変調するための光変調器とが集積されているため、これらにより構成される光送信モジュールがコンパクトになるという利点が得られる。また、ほぼ同じ形状のMQW光導波路とMQW活性層をバットジョイント(butt joint)にて光結合しているため、その結合損失が小さいという利点も得られる。

## (第5の実施の形態)

図31は、本発明に係る第5実施形態の半導体光変調器を示す平面図、図32は、図31のXII-XII線から見た断面図、図33は、図31のXIII-XIII線から見た断面図である。図31～図33において、図6～図10と同じ符号は同じ要素を示している。

## 【0150】

本実施形態ではこれまで説明してきた本発明による半導体光変調器に位相差調整領域を集積した素子構造となっている

図31において、第1、第2の光導波路5、6のうち位相変調電極18a、18bよりも光入射側に位相差調整領域40a、40bが配置されている。

## 【0151】

位相差調整領域40a、40bでは、図32、図33に示したように、マツハツエンダ干渉計を構成する2本の光導波路5、6のそれぞれのi-MQW層11の

上にi-InP層12、p-InP層13、p-InGaAs層14が順に形成されている。即ち、位相差調整領域40a, 40bの層構造は、光導波路の位相調整電極18a, 18bの下の構造と同じになっている。従って、位相差調整領域40a, 40bにおいても、p-InGaAs層14の上面は、その両側のSI-InP層15の上面と同じ高さとなる。

#### 【0152】

また、2つの位相差調整領域40a, 40bにおけるi-InP層12、p-InP層13、p-InGaAs層14のうち光軸に平行な方向の長さは100.0~350.0  $\mu\text{m}$ 程度にパターニングされる。

#### 【0153】

さらに、2つの位相差調整領域40a, 40bでは、n-InPバイアス層4、InGaAsPエッチストップ層3及びSI-InP層15が、第1、第2の光導波路5, 6のそれぞれ外側の領域に広がって形成されている。そして、2つの位相差調整領域40a, 40bのSI-InP層15とp-InGaAs層14の上には、それぞれ位相差調整用DCバイアス電極パッド41a, 41bが形成されている。即ち、2つの位相差調整用DCバイアス電極パッド41a, 41bは、2つの光導波路5, 6のそれぞれのi-MQW層11の上方から外側に向かって広い面積に渡って形成されている。

#### 【0154】

位相差調整用DCバイアス電極41a, 41bが形成されている部分の前後のi-MQW層11の上にはSI-InP層15が形成され、これにより、進行波用の位相調整電極18a, 18bが形成されている位相変調領域とは電気的にアイソレーションされている。

#### 【0155】

なお、本実施形態に係る光変調器において、位相差調整領域40a, 40b以外の構造は、第1実施形態の半導体光変調器と同じ構成となっている。

#### 【0156】

図34は、本実施形態における半導体光変調器の等価駆動回路である。

#### 【0157】

位相差調整領域40a, 40bにおいて形成された2つの電極パッド41a, 41bにはそれぞれ異なるDCバイアス42a, 42bが与えられ、グランド電位とは異なる電位に保持される。この電位は素子を駆動して光変調動作をする際に消光されない状態、すなわち光のON状態において光出力が最大となるように調整される。

## 【0158】

次に、本実施形態における位相差調整用DCバイアス電極41a, 41bの作用について説明する。

## 【0159】

これまで説明してきた本発明における半導体光変調器を駆動する際、光がON状態において、マッハツエンダ干渉計を構成する第1、第2の光導波路5, 6内のi-MQW層（コア層）11には、n-InPバイアス層4上のDCバイアス用電極パッド22に与えられたDCバイアス電位26から生じる電界のみが与えられる。その強度は2本の光導波路5, 6間で同じである。この場合は、これらの光導波路5, 6を導波する光は同じ位相変化を受けるため、光は消光されずにON状態が生成される。

## 【0160】

しかしながら、実際には製造上のはらつきから2本の光導波路5, 6の間には構造上の差異が生じ、そのため光のON状態においても2本のアームを導波した光の位相は同じにならない。

## 【0161】

その結果、この位相差に基づいた光の干渉が生じて出力光のパワーが減少し、消光比の劣化を招く。ここで、本実施形態においては、2つの光導波路5, 6の位相差調整用DCバイアス電極41a, 41bにそれぞれ異なる電位を与える事で、この部分の2本の光導波路5, 6を導波する光に異なる位相変化を生じさせることができる。そして、この電位を変化させて位相変化を調整することにより、前述のような製造上のはらつきから位相変調器部分に生じた光のON状態における導波光の位相差を打ち消すことができる。

## 【0162】

したがって、本実施形態ではON状態において出力パワーの減少を防ぎ、消光比を大きくとることができる。

【0163】

ここで、位相差調整用DCバイアス電極41a, 41bに与える電位は、n-InPバイアス層4に接続したDCバイアス用電極パッド22に与える電位に比べて、大きくする場合と小さくする場合の2通りがある。

【0164】

前者では、位相差調整用DCバイアス電極パッド41a, 41bからn-InPバイアス層4上のDCバイアス用電極22に実質的な電流が流れる。この場合は、この電流量に応じて光導波路5, 6のそれぞれのi-MQW(コア)層11内のキャリア密度が変化する。これに伴い、コア層内の屈折率が変化し、導波する光の位相を調整する事が可能になる。

【0165】

後者では、i-MQW層11内に逆バイアス電圧により生じた実質的な電界が印加される。この場合も、電界誘起屈折率変化により位相差が調整される。

【0166】

前者の場合では、位相差調整領域40a, 40bの面積を比較的小さくしても所望の位相変化が得られるという利点があるが、電流を流すため電力消費とこれに基づいた発熱が問題になる。後者の場合では、位相差調整領域401, 40bの光の進行方向における長さを比較的大きくとらねばならないが、電力消費がないという利点がある。本実施形態では、これらの方のうち望ましいほうを選択して用いる。

(第6の実施の形態)

図35は、本発明に係る第6実施形態の半導体光変調器を示す平面図、図36は、図35のXIV-XIV線から見た断面図、図37は、図35のXV-XV線から見た断面図である。図35～図37において、図6～図14、図27～図30と同じ符号は同じ要素を示している。

【0167】

本実施形態では第4実施形態に係る半導体レーザ集積型半導体光変調器に第5

実施形態に係る位相差調整領域を集積した素子構造となっている。

【0168】

図35において、マッハツエンダ干渉計を構成する2本の光導波路5, 6には、それぞれ位相変調領域の光入射側に位相差調整領域40a, 40bが配置されている。

【0169】

位相差調整領域40a, 40bでは、光導波路5, 6のコアとなるi-MQW層11上にi-InP層12、p-InP層13、p-InGaAs層14が順に形成されている。更に、位相差調整領域40a, 40bでは、位相差を調整するための位相差調整DCバイアス電極パッド41a, 41bがp-InGaAs層14上に形成されている。

【0170】

位相差調整DCバイアス電極パッド41a, 41bは、図37に示すように、その下のp-InGaAs層14に光進行方向に10.0  $\mu\text{m}$ の長さで接続され、それよりも光入射側ではi-MQW層11の上に形成されたSI-InP層15の上に形成されている。また、位相差調整DCバイアス電極パッド41a, 41bの光軸に平行な方向の長さは30.0  $\mu\text{m}$ 程度にしてある。

【0171】

また、位相差調整DCバイアス電極パッド41a, 41bは、図36に示すように、2本の光導波路5, 6の外側に離れて高抵抗InP基板1上に形成された面積の広い電極パッド43a, 43bにエアブリッジ電極44a, 44bを介して接続されている。

【0172】

位相差調整DCバイアス電極パッド41a, 41bの下のi-InP層12、p-InP層13、p-InGaAs層14は、素子の進行波用の位相調整電極18a, 18bが形成されている半導体光変調器部分に向かって一つ目の位相調整電極18a, 18bの下まで連続的に形成されている。一つ目の位相調整電極18a, 18bと位相差調整DCバイアス電極パッド41a, 41bとの距離は100.0  $\mu\text{m}$ である。また、位相差調整用DCバイアス電極パッド41a, 41bと一つ目の位相調整電極18a, 18bの間の領域の上方には、幅40.0  $\mu\text{m}$ のスロットラ

イン電極17bのエアブリッジ部が空間を介して跨いで形成されている。スロットライン電極17bのエアブリッジ部は、一つ目の位相調整電極18a, 18bと位相差調整用DCバイアス電極パッド41a, 41bの双方から、それぞれ30.0  $\mu$ mの間隔が確保されている。

#### 【0173】

なお、第1、第2の光導波路5, 6は、位相調整領域から光進行方向への領域では、第1実施形態と同様な構造となっていて、位相変調電極18a, 18bが形成されない部分ではi-MQW層11がSI-InP層15に埋め込まれている。

#### 【0174】

以上により、位相差調整DCバイアス電極パッド41a, 41bは、p-InGaAs層14を通して位相変調電極18a, 18bと電気的に接続されている。位相差調整領域以外は第4実施形態の半導体レーザ集積型半導体光変調器と同じ構造となっている。なお、位相差調整DCバイアス電極パッド41a, 41bと位相変調電極18a, 18bとは金属配線を介して接続されてもよい。

#### 【0175】

本実施形態における位相差調整差領域40a, 40bの作用は、第5実施形態と同様である。即ち、製造上のばらつきが原因で、光のON状態において位相変調器部分の2本のアーム5, 6を導波した導波光に生じる位相差を打ち消すことができる。これにより本実施形態では、光のON状態において出力パワーの減少を防ぎ、消光比を大きくとることができる。

#### 【0176】

本実施形態における半導体光変調器の2つの等価駆動回路を図38, 図39に示す。なお、本実施形態の位相差調整領域40a, 40bでは、位相差調整用DCバイアス電極パッド41a, 41bが接続されるp-InGaAs層14は位相調整電極18a, 18bの下まで連続しているので、位相差調整領域40a, 40bの等価回路は、第5実施形態の図34の等価駆動回路とは異なり、インダクタンスで表されている。

#### 【0177】

図38に本実施形態における半導体光変調器の第1の等価駆動回路を示す。こ

の場合は、位相差調整領域に形成されたに位相差調整用DCバイアス電極パッド41a, 41bにそれぞれ独立にDCバイアス電位V<sub>1</sub>, V<sub>2</sub>を与えることにより2つの光導波路5, 6の間の位相差を調整する。但し、DCバイアス電位V<sub>1</sub>, V<sub>2</sub>がグランド電位とショートする事を防ぐために、高周波電気信号源24の出力部分のグランド線と第2のスロットライン電極17bの間にはDC成分をカットするDCカットフィルタ45が挿入されている。

#### 【0178】

図39に本実施形態における半導体光変調器の第2の等価駆動回路を示す。この場合は、2つの位相差調整用DCバイアス電極パッド41a, 41bのうち、高周波電気信号源24のグランド線に接続されていない方のみを用いる。そのため、図38の場合とは異なりDCカットフィルタ45は必要ない。

#### 【0179】

図38の場合は、DCカットフィルタ45が必要なので回路構成が複雑になるが、2本の光導波路5, 6の位相を独立に調整できるため、そのために与える電位を小さい範囲に抑えることができる。これに対して図39の場合は、DCカットフィルタが不要になり、位相差調整用のバイアス電圧も1系統であるために、回路構成が単純になる。その反面、1系統で位相差を調整する必要があるため、そのために与える電位の幅は大きくなる。本実施形態では、これらの方針のうち望ましいほうを選択して用いる。

#### 【0180】

図38、図39のいずれの場合においても、位相差調整用DCバイアス電極パッド41a, 41bに与える電位は素子を駆動して光変調動作をする際に光が消光されない状態、すなわち光のON状態において光出力が最大となるように調整される。

#### (第7の実施の形態)

図40は、本発明に係る第7実施形態の半導体光変調器を示す平面図、図41は、図40のXVI-XVI線から見た断面図である。なお、図40及び図41において、図6～図10と同じ符号は同じ要素を示している。

#### 【0181】

本実施形態では、図41からわかるように、マッハツエンダ干渉計を構成する2本の光導波路5、6のi-MQWコア層11の上部にi-InP層12、p-InP層13が光軸に平行な方向に一様に形成されている。これに対し、第1実施形態では、光導波路5、6のうち位相変調電極18a、18bが形成されていない部分において、i-InP層、p-InP層でなく、SI-InP層15aが形成されている。

#### 【0182】

また、図40に示すように、p-InGaAsコンタクト層14は、i-MQWコア層11の上方であって位相変調電極18a、18bの下の領域のみに形成されていて、それ以外の領域ではこのp-InGaAsコンタクト層14は除去されている。

#### 【0183】

本実施形態に係る光半導体装置のその他の構造は、第1実施形態で示した光半導体装置と同じである。

#### 【0184】

本実施形態に係る光半導体装置の製造方法についても第1実施形態と実質的に同様である。但し、本実施形態の場合には、図13、図18に示したMOVPE再成長によるSI-InP層15aの形成工程は省かれている。即ち、図14に示したような光導波路5、6の形成の後に、その後の工程により位相変調電極18a、18bが形成される領域以外の領域に存在するp-InGaAsコンタクト層14のみをその下のp-InP層13に対して選択的にエッチングする。このエッチングは、ウェットエッチングによりp-InGaAsコンタクト層14のみをp-InP層14に対して選択的に除去するように行われる。このようなウェットエッチングは、第1実施形態においてSI-InP層15aのMOVPE再成長による工程に比較して簡便である点で優れている。

#### 【0185】

但し、本実施形態に係る光半導体装置では、光導波路5、6のうち位相変調電極18a、18bが形成されていない部分にもi-InP層12、p-InP層13が一様に形成されるために、この部分により高周波電気信号のエネルギー損失が生じる。

#### 【0186】

従って、その部分をSI-InP層とした第1実施形態の光半導体装置に比べると、進行波電極の周波数帯域は低くなる。しかし、p型半導体層のうち最も電気伝導性のあるp-InGaAsコンタクト層14については位相変調電極18a, 18bが無い部分において除去されるため、第1実施形態の装置とのエネルギー損失の差は小さい。

【0187】

また、位相変調器部分の断面図は、図7に示す断面と同じであり、i-MQW層11の幅を狭くした構造になっているため、従来技術に比較すると高周波電気信号のエネルギー損失が小さいという作用効果が得られる。

(付記1) 半導体基板の上に形成された第1導電型半導体よりなるバイアス層と

前記バイアス層の上に形成され且つ第1の上側クラッド層と第1導電型半導体よりなる第1の下側クラッド層との間に挟まれたストライプ状の第1のコア層を有する第1の光導波路と、

前記第1の上側クラッド層から分離された第2の上側クラッド層と第1導電型半導体よりなる第2の下側クラッド層との間に挟まれて前記バイアス層の上に形成され、且つ前記第1のコア層とは分離されて形成されたストライプ状の第2のコア層を有する第2の光導波路と、

前記第1の光導波路の前記第1の上側クラッド層の上に形成された第1の位相変調電極と、

前記第2の光導波路の前記第2の上側クラッド層の上に形成された第2の位相変調電極と、

前記第1の光導波路の側方に形成されて前記第1の位相変調電極に第1のエアブリッジ配線を介して接続される第1のスロットライン電極と、

前記第2の光導波路の側方に形成されて前記第2の位相変調電極に第2のエアブリッジ配線を介して接続される第2のスロットライン電極と、

前記半導体基板の上に形成されて前記第1の光導波路と前記第2の光導波路のそれぞれの一端に接続される第1の光カプラと、

前記半導体基板の上に形成されて前記第1の光導波路と前記第2の光導波路の

それぞれの他端に接続される第2の光カプラと  
を有することを特徴とする光半導体装置。

(付記2) 半導体基板の上に形成された第1導電型半導体よりなるバイアス層と

前記バイアス層の上に形成され且つ第1の上側クラッド層と第1導電型半導体よりなる第1の下側クラッド層との間に挟まれて光導波路の伝搬基本モードの電界分布のビーム径の幅を有するストライプ状の第1のコア層を有する第1の光導波路と、

前記第1の上側クラッド層から分離された第2の上側クラッド層と第1導電型半導体よりなる第2の下側クラッド層との間に挟まれて前記バイアス層の上に形成され、且つ光導波路の伝搬基本モードの電界分布のビーム径の幅を有するストライプ状の第2のコア層を有する第2の光導波路と、

前記第1の光導波路の前記第1の上側クラッド層の上に形成された第1の位相変調電極と、

前記第2の光導波路の前記第2の上側クラッド層の上に形成された第2の位相変調電極と、

前記第1の光導波路の側方に形成されて前記第1の位相変調電極に第1のエアブリッジ配線を介して接続される第1のスロットライン電極と、

前記第2の光導波路の側方に形成されて前記第2の位相変調電極に第2のエアブリッジ配線を介して接続される第2のスロットライン電極と、

前記半導体基板の上に形成されて前記第1の光導波路と前記第2の光導波路のそれぞれの一端に接続される第1の光カプラと、

前記半導体基板の上に形成されて前記第1の光導波路と前記第2の光導波路のそれぞれの他端に接続される第2の光カプラと  
を有することを特徴とする光半導体装置。

(付記3) 前記バイアス層の一部の上には直流電圧が印加されるバイアス電極が形成されていることを特徴とする付記1又は付記2に記載の光半導体装置。

(付記4) 前記第1の上側クラッド層と前記第1の下側クラッド層のうち前記第1のコア層と接するそれぞれの面は、前記第1のコア層と実質的に同じ幅を有し

前記第2の上側クラッド層と前記第2の下側クラッド層のうち前記第2のコア層と接するそれぞれの面は、前記第2のコア層と実質的に同じ幅を有することを特徴とする付記1又は付記2に記載の光半導体装置。

(付記5) 前記第1のコア層の両側に接して形成され且つ前記第1の位相変調電極に上面で接するとともに、前記第2のコア層の両側に接して形成され且つ前記第2の位相変調電極に上面で接する高抵抗半導体層をさらに有することを特徴とする付記1乃至付記4のいずれかに記載の光半導体装置。

(付記6) 前記第1のコア層と前記第2のコア層の間の領域において、前記高抵抗半導体層には前記第1及び第2のコア層よりも低い深さの溝が形成されていることを特徴とする付記5に記載の光半導体装置。

(付記7) 前記第1の位相変調電極と前記第2の位相変調電極は、それぞれ間隔をおいて光進行方向に複数形成されていることを特徴とする付記1乃至付記6のいずれかに記載の光半導体装置。

(付記8) 前記第1の上側のクラッド層は、前記第1の位相変調電極の下では第2導電型半導体から構成され且つ前記第1の位相変調電極の下以外の領域において高抵抗半導体層から構成され、

前記第2の上側のクラッド層は、前記第2の位相変調電極の下では第2導電型半導体から構成され且つ前記第2の位相変調電極の下以外の領域において高抵抗半導体層から構成されている

ことを特徴とする付記8に記載の光半導体装置。

(付記9) 前記第1の上側クラッド層と前記第2の上側クラッド層はそれぞれ第2導電型半導体から構成されていることを特徴とする付記1乃至付記8のいずれかに記載の光半導体装置。

(付記10) 前記第1の光カプラにおいて前記第1及び第2のコア層とは前記第1の光カプラを挟んで反対側に第3の光導波路のコア層が形成され、

前記第2の光カプラにおいて前記第1及び第2のコア層とは前記第2の光カプラを挟んで反対側に第4の光導波路のコア層が形成され、

さらに、前記第3の光導波路と前記第4の光導波路の少なくとも一方の前記コ

ア層の端部にバッドジョイントされた活性層を有する半導体レーザが前記半導体基板上に形成されていることを特徴とする付記1乃至付記9のいずれかに記載の光半導体装置。

(付記11) 前記第1及び第2の位相変調電極の下の前記第1及び第2の上側クラッド層は第2導電型半導体から形成され、

前記半導体レーザの前記活性層の上には、高抵抗半導体層を介して前記第2導電型クラッド層から実質的に分離された第2導電型クラッド層が形成されていることを特徴とする付記10に記載の光半導体装置。

(付記12) 前記第1の下側クラッド層と前記第2の下側クラッド層と前記活性層の下に形成された第1導電型半導体層と、

前記第1導電型半導体層に直流バイアス電圧を印加するために前記第1導電型半導体層の一部の上に形成された電極と  
をさらに有することを特徴とする付記10に記載の光半導体装置。

(付記13) 前記第1及び第2の位相変調電極から離れた領域において、前記第1のコア層と前記第2のコア層の少なくとも一方のコア層に電界を印加するために該コア層の上方に形成された位相差調整電極をさらに有することを特徴とする付記1乃至付記12のいずれかに記載の光半導体装置。

(付記14) 前記位相変差調整電極と前記第1及び第2の位相変調電極との間の領域において前記コア層の上には高抵抗半導体層が形成されていることを特徴とする付記13に記載の光半導体装置。

(付記15) 前記コア層の上に配置された前記位相差調整電極と前記第1又は第2の位相変調電極は電気的に接続されていることを特徴とする付記13に記載の光半導体装置。

(付記16) 前記位相差調整電極には、光のON状態における光出力パワーと消光比が実質的に最大になる直流バイアス電圧を印加するバイアス電圧源を接続することを特徴とする付記13乃至付記15のいずれかに記載の光半導体装置。

(付記17) 前記位相差調整電極は、前記第1のコア層と前記第2のコア層の双方の上にそれぞれ形成され、

光のON状態における光出力パワーと光変調動作時の消光比が実質的に最大に

なり、かつ、2つの前記位相差調整電極の電位差が小さくなる範囲となる直流バイアス電圧をバイアス電圧源から2つの前記位相差調整電極に別々に印加することを特徴とする付記13乃至付記15のいずれかに記載の光半導体装置。

（付記18）2つの前記位相変調電極の間には高周波電気信号源が接続され、

前記高周波電気信号源と2つの前記位相変調電極の少なくとも一方との間には直流成分をカットする電気フィルタが挿入されていることを特徴とする付記17に記載の光半導体装置。

（付記19）前記第1の上側クラッド層と前記第2の上側クラッド層は第2導電型半導体から構成され、

前記第1の上側クラッド層と前記第2の上側クラッド層のうち前記第1及び第2の位相変調電極が形成されない領域では少なくとも一部が除去されていることを特徴とする付記1又は付記2に記載の半導体装置。

#### 【0188】

##### 【発明の効果】

以上述べたように本発明によれば、2つの光導波路内のそれぞれのアンドープのコア層とその上の上側クラッド層は互いに分離されて形成されているので、上側クラッド層に含まれるドーパントによってコア層が導電性となつたとしても、2つの光導波路がコア層とその上の上側クラッド層を介して電気的に導通することが防止される。

#### 【0189】

また、コア層と上側クラッド層を光モード分布程度にしたので、上側クラッド層と高周波信号電界とのオーバーラップも小さくなり、高周波信号の損失はほとんどない。さらに、2つの導波路のそれぞれのコア層の間に存在する半導体層の最上面はコア層よりも低くなっているので、各コア層の上方の位相変調信号に加えられる高周波電気信号はコア層同士の間の領域で導電性半導体とオーバーラップしないので、この領域における高周波信号の損失は小さい。

#### 【0190】

さらに、2つの光導波路において、位相変調電極の下ではコア層の上に第2導電型半導体層が形成され、それ以外の領域ではコア層の上に高抵抗半導体層を形

成しているので、位相変調電極の下以外における高周波信号によるエネルギー損失を非常に小さくできる。

【図面の簡単な説明】

【図1】

図1は、従来のマッハツェンダ型光変調器の一例を示す平面図である。

【図2】

図2は、従来のマッハツェンダ型光変調器の一例を示す断面図である。

【図3】

図3は、従来技術における半導体光変調器の上面図である。

【図4】

図4は、従来技術における半導体光変調器の断面図である。

【図5】

図5は、従来技術における半導体光変調器の断面図である。

【図6】

図6は、本発明の第1実施形態に係る半導体光変調器の上面図である。

【図7】

図7は、本発明の第1実施形態に係る半導体光変調器の第1の断面図である。

【図8】

図8は、本発明の第1実施形態に係る半導体光変調器の第2の断面図である。

【図9】

図9は、本発明の第1実施形態に係る半導体光変調器の第3の断面図である。

【図10】

図10は、本発明の第1実施形態に係る半導体光変調器の第3の断面図である。

【図11】

図11は、本発明の第1実施形態に係る半導体光変調器の等価駆動回路図である。

【図12】

図12は、本発明の第1実施形態に係る半導体光変調器の作成工程の初期の成

膜状態を示す斜視図である。

【図13】

図13は、本発明の第1実施形態に係る半導体光変調器の作成工程を示す平面図（その1）である。

【図14】

図14は、本発明の第1実施形態に係る半導体光変調器の作成工程を示す平面図（その2）である。

【図15】

図15は、本発明の第1実施形態に係る半導体光変調器の作成工程を示す平面図（その3）である。

【図16】

図16は、本発明の第1実施形態に係る半導体光変調器の作成工程を示す平面図（その4）である。

【図17】

図17は、本発明の第1実施形態に係る半導体光変調器の作成工程を示す平面図（その5）である。

【図18】

図18は、本発明の第1実施形態に係る半導体光変調器の作成工程を示す斜視図（その1）である。

【図19】

図19は、本発明の第1実施形態に係る半導体光変調器の作成工程を示す斜視図（その2）である。

【図20】

図20は、本発明の第1実施形態に係る半導体光変調器の作成工程を示す斜視図（その3）である。

【図21】

図21は、本発明の第1実施形態に係る半導体光変調器の作成工程を示す斜視図（その4）である。

【図22】

図22は、本発明の第1実施形態に係る半導体光変調器の作成工程を示す斜視図（その5）である。

【図23】

図23は、本発明の第2実施形態に係る半導体光変調器の上面図である。

【図24】

図24は、本発明の第2実施形態に係る半導体光変調器の断面図である。

【図25】

図25は、本発明の第3実施形態に係る半導体光変調器の上面図である。

【図26】

図26は、本発明の第3実施形態に係る半導体光変調器の断面図である。

【図27】

図27は、本発明の第4実施形態に係る半導体光変調器の上面図である。

【図28】

図28は、本発明の第4実施形態に係る半導体光変調器の第1の断面図である

【図29】

図29は、本発明の第4実施形態に係る半導体光変調器の第2の断面図である

【図30】

図30は、本発明の第4実施形態に係る半導体光変調器の等価動作駆動回路図である。

【図31】

図31は、本発明の第5実施形態に係る半導体光変調器の上面図である。

【図32】

図32は、本発明の第5実施形態に係る半導体光変調器の第1の断面図である

【図33】

図33は、本発明の第5実施形態に係る半導体光変調器の第2の断面図である

## 【図34】

図34は、本発明の第5実施形態に係る半導体光変調器の等価動作駆動回路図である。

## 【図35】

図35は、本発明の第6実施形態に係る半導体光変調器の上面図である。

## 【図36】

図36は、本発明の第6実施形態に係る半導体光変調器の第1の断面図である

## 【図37】

図37は、本発明の第6実施形態に係る半導体光変調器の第2の断面図である

## 【図38】

図38は、本発明の第6実施形態に係る半導体光変調器の等価動作駆動回路図(その1)である。

## 【図39】

図39は、本発明の第6実施形態に係る半導体光変調器の等価動作駆動回路図(その2)である。

## 【図40】

図40は、本発明の第7実施形態に係る半導体光変調器の上面図である。

## 【図41】

図41は、本発明の第7実施形態に係る半導体光変調器の断面図である。

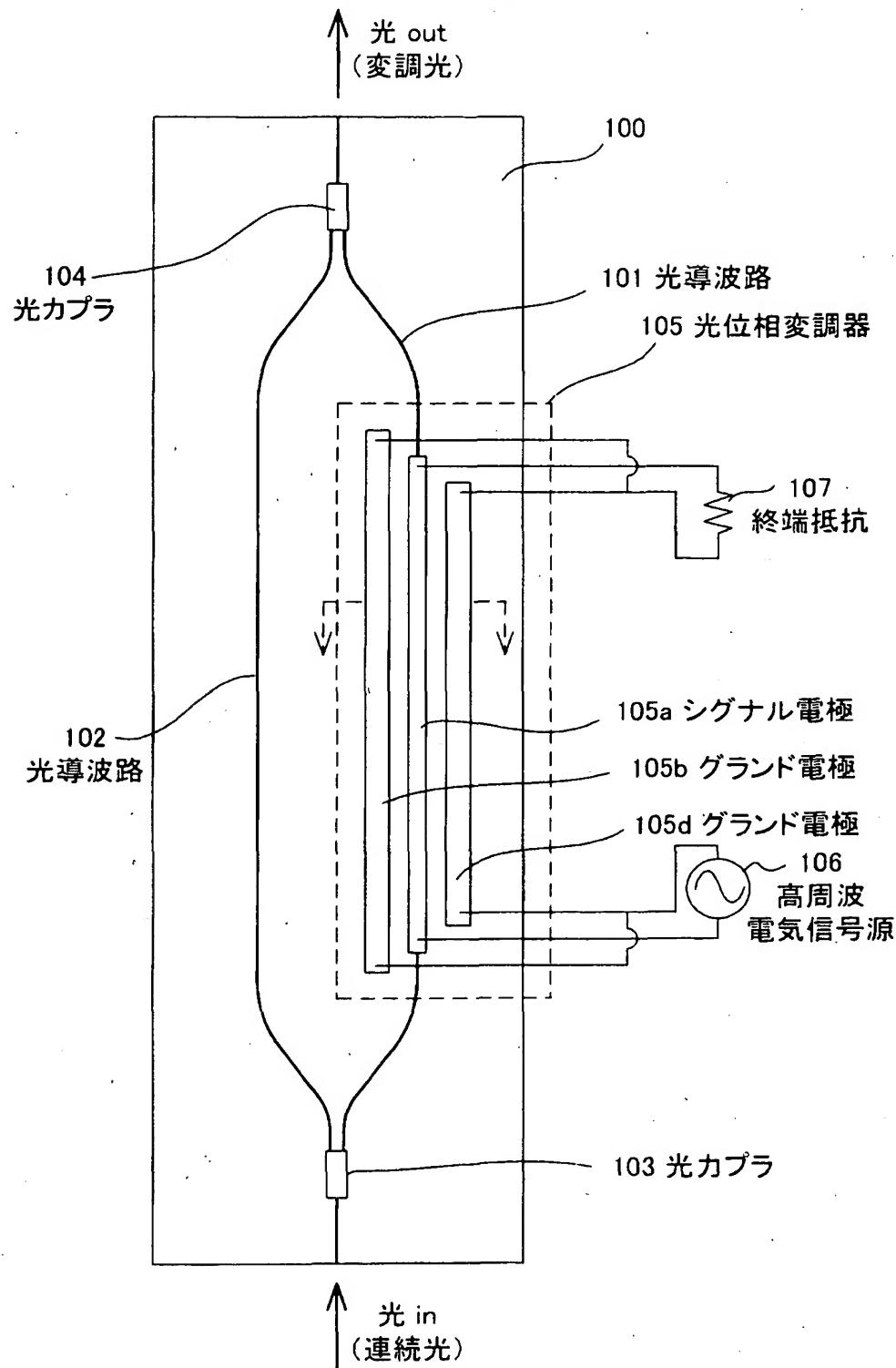
## 【符号の説明】

1…高抵抗InP 基板、2…高抵抗InP バッファ層、3, 9…i-InGaAsP エッチストップ層、4…n-InP バイアス層、4a…n-InP 層、5, 6…光導波路、7, 8…MMI光カプラ、10…n-InP 層(n型クラッド層)、11…i-MQW層、12…i-InP 層(クラッド層)、13…p-InP 層(p型クラッド層)、14…p-InGaAsP 層、15, 15a, 15b…SI-InP 層、17a, 17b…スロットライン電極、18a, 18b…位相変調電極、19a, 19b…エアブリッジ配線、20, 21…光導波路、22…DCバイアス用電極パッド、24…高周波電気

信号源、26…DC電圧源、31…半導体レーザ、32…MQW活性層、33…p-InP クラッド層、34…p-InGaAs層、35…p側電極、36…n側電極、40a、40b…位相差調整領域、41a、41b…位相差調整用DCバイアス電極パッド、42a、42b…DCバイアス電圧源、43a、43b…電極パッド、44a、44b…エアブリッジ電極。

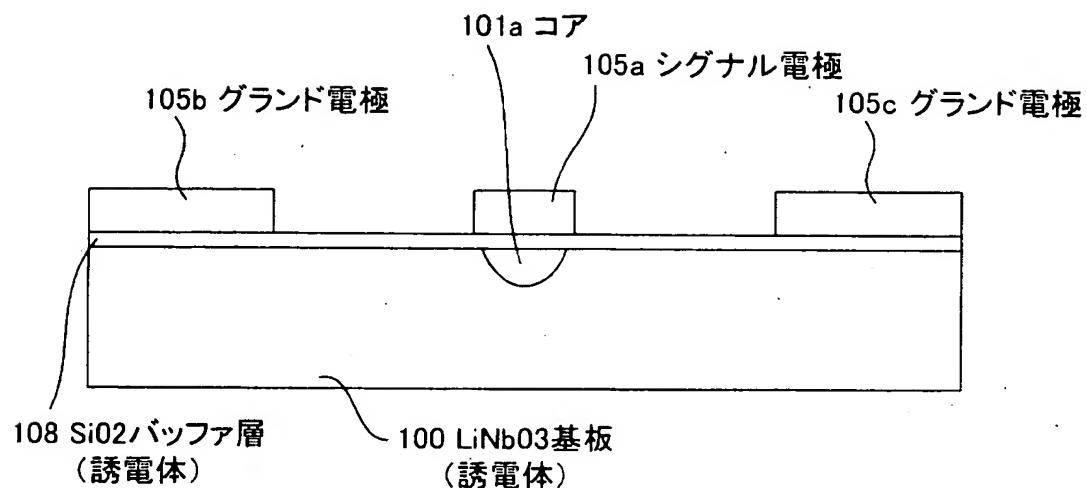
【書類名】 図面

【図1】



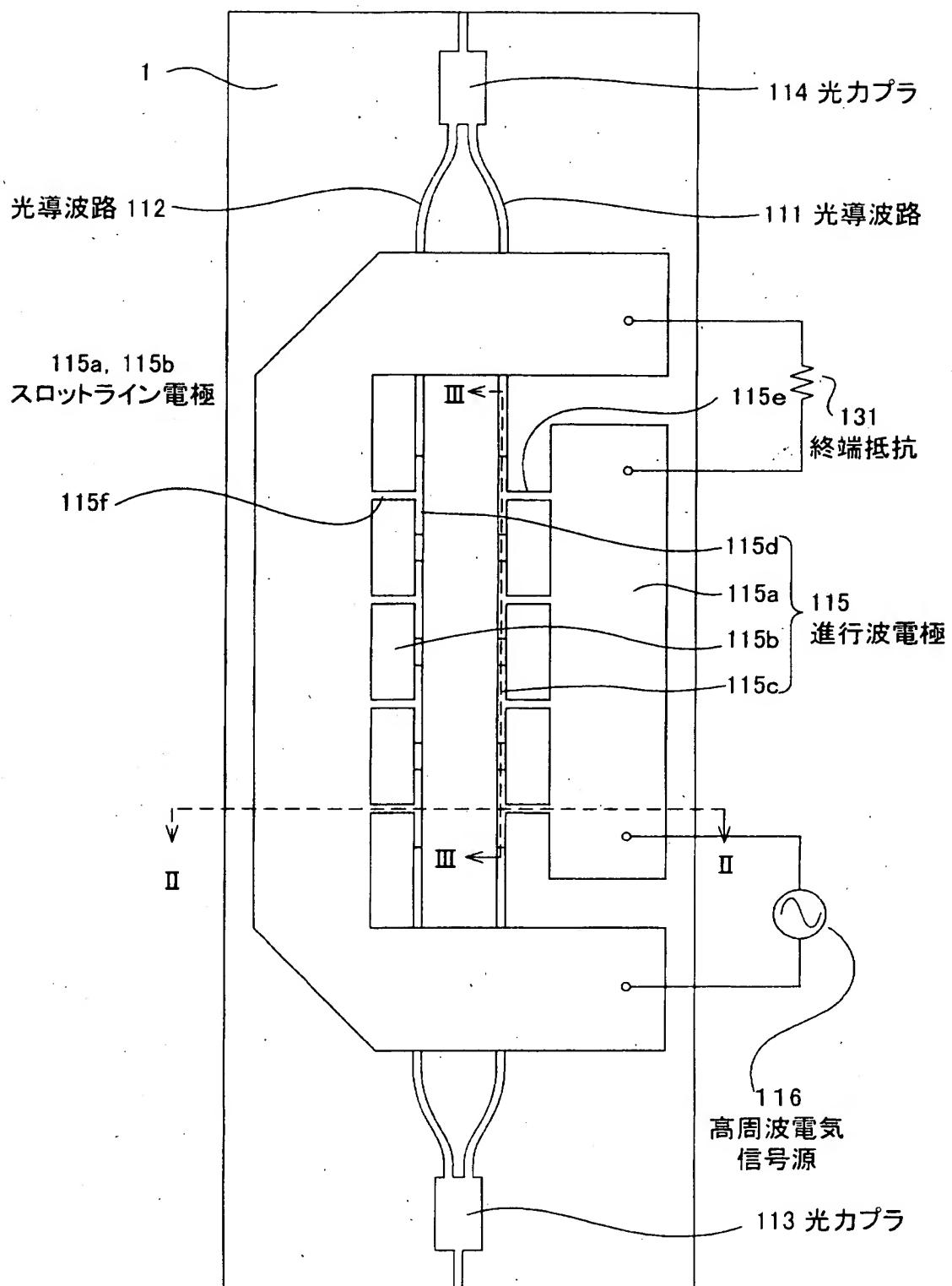
従来のマッハツエンダ型光変調器の一例を示す平面図

【図2】



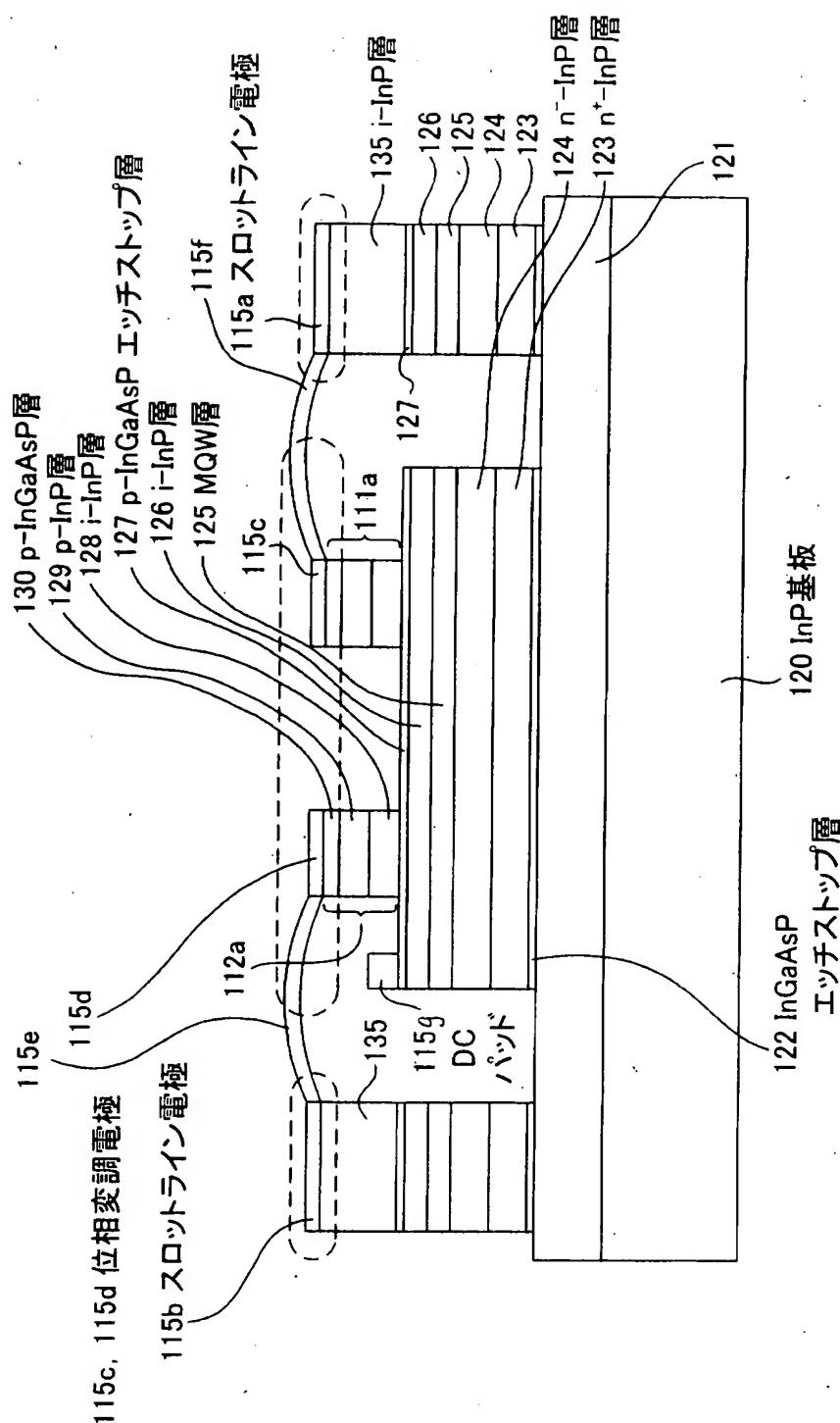
従来のマッハツエンダ型光変調器の一例を示す断面図

【図3】



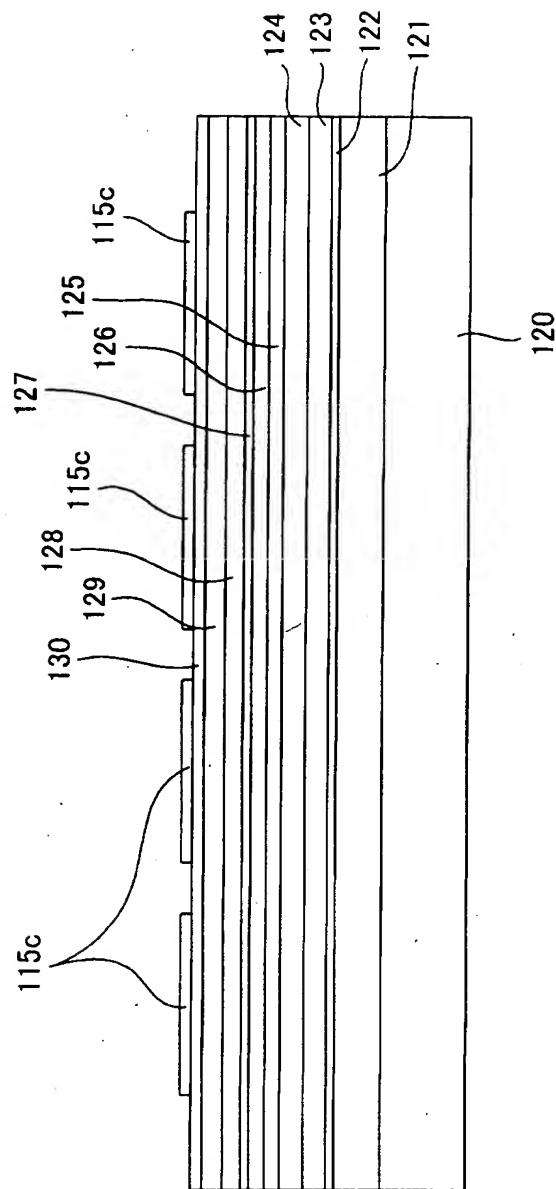
従来技術における半導体光変調器の上面図

【図4】



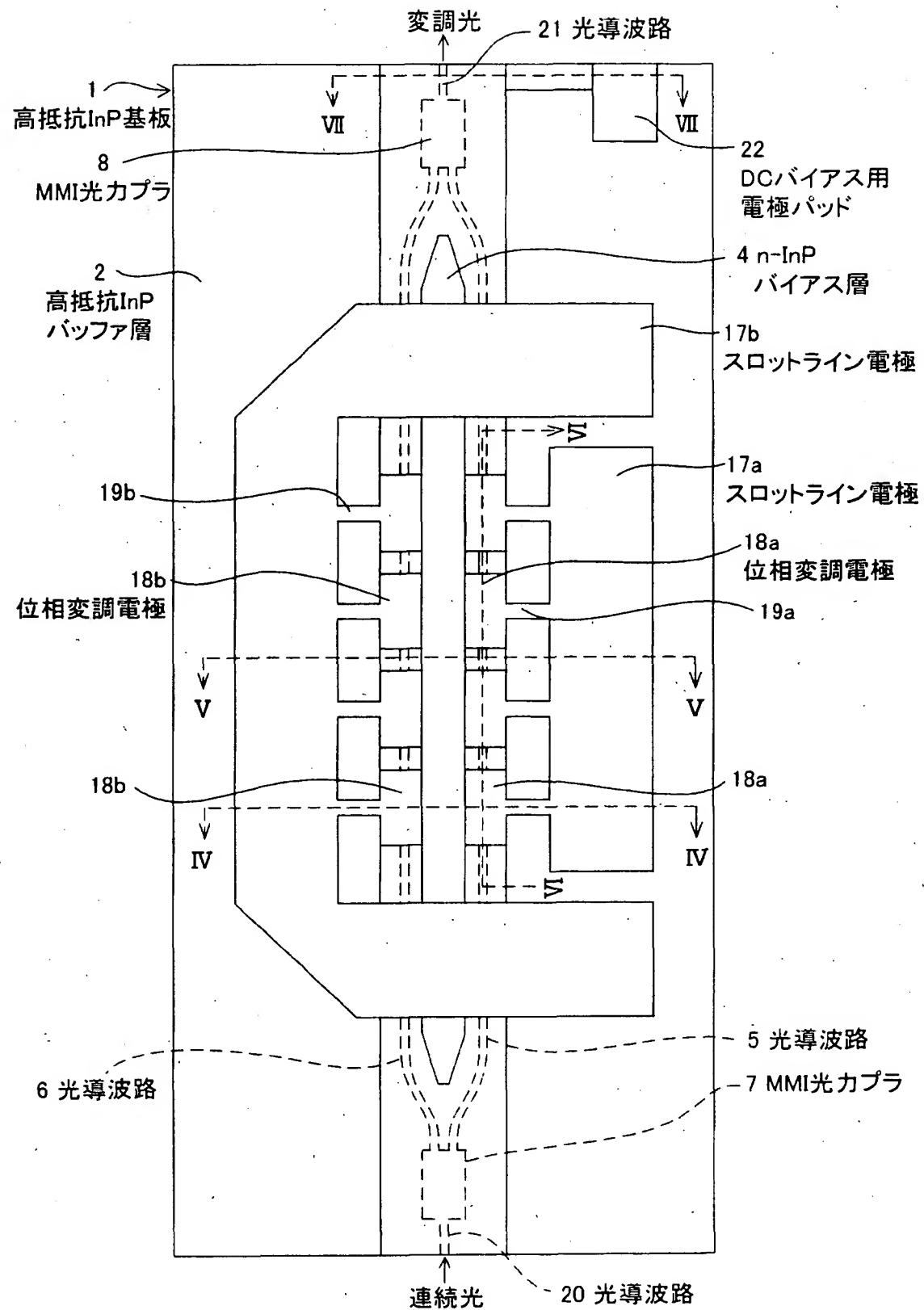
## 従来技術における半導体光変調器の断面図

【図5】



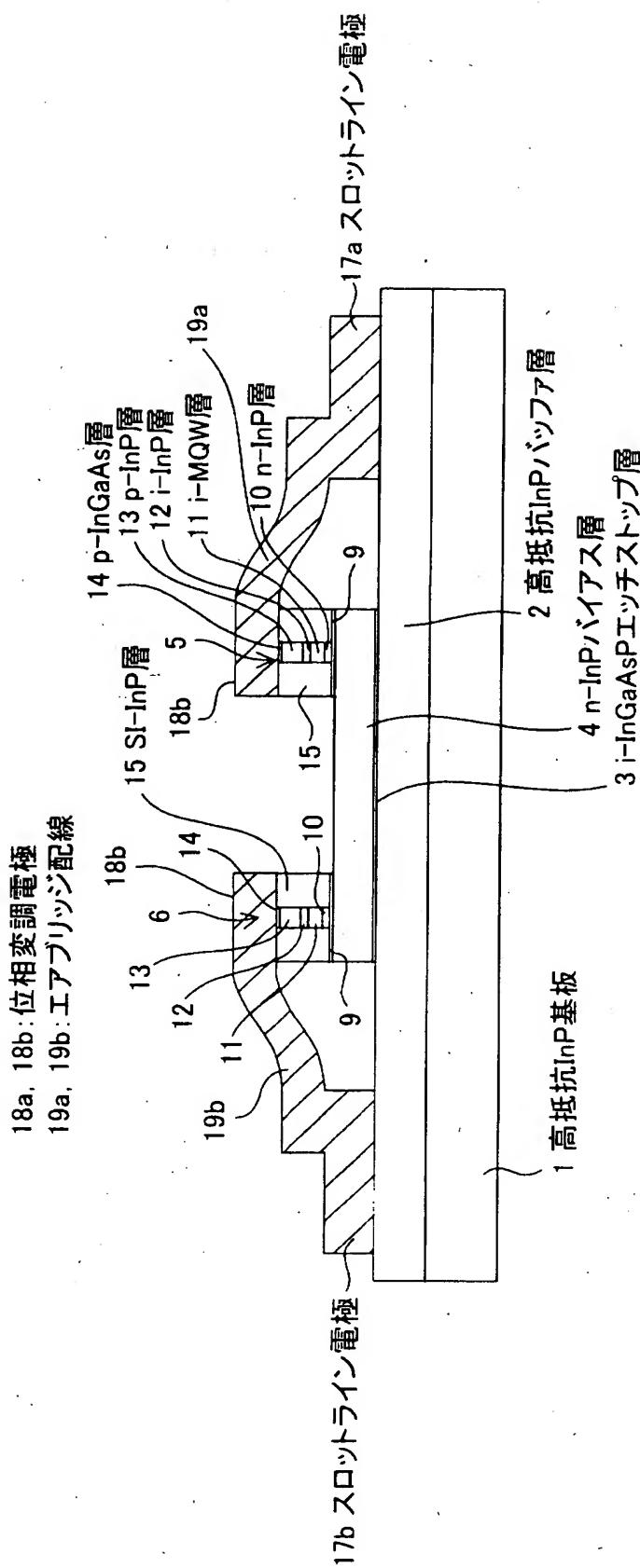
従来技術における半導体光変調器の断面図

【図6】



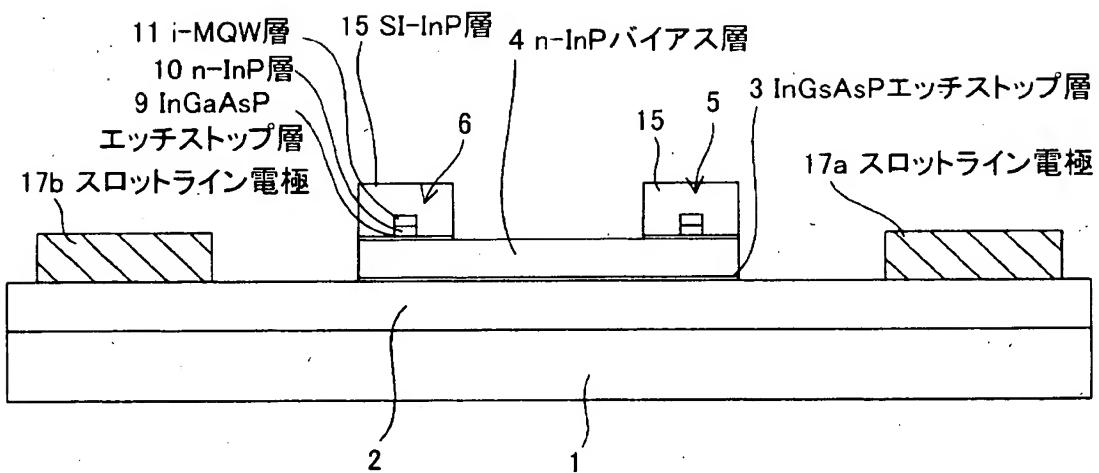
本発明の第1実施形態に係る半導体光変調器の上面図

【図7】



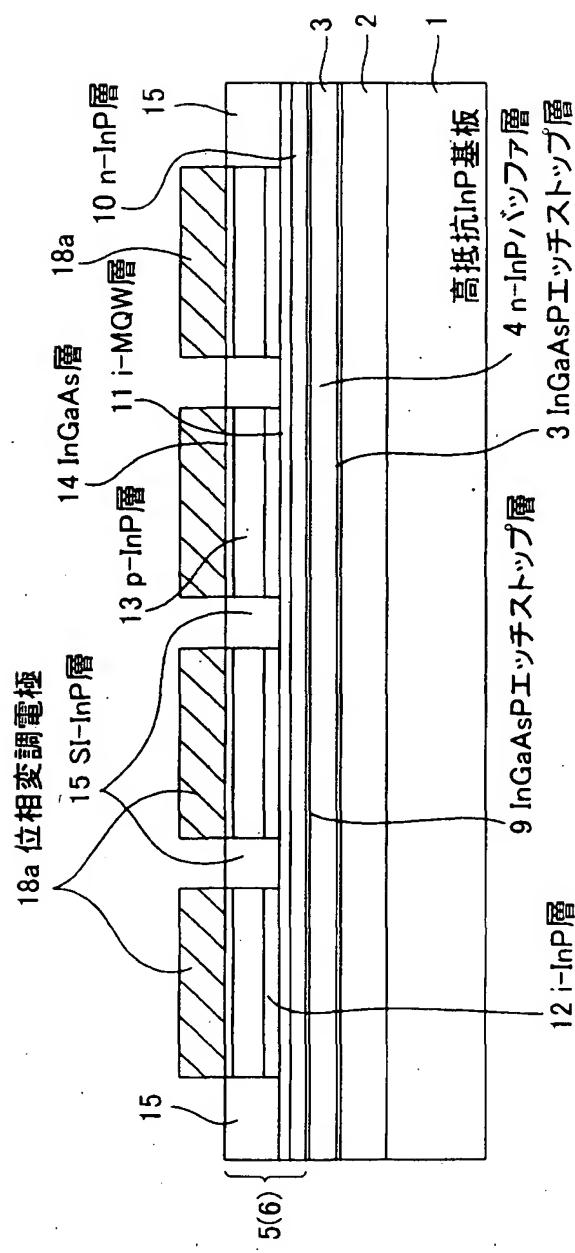
## 本発明の第1実施形態に係る半導体光変調器の第1の断面図

【図8】



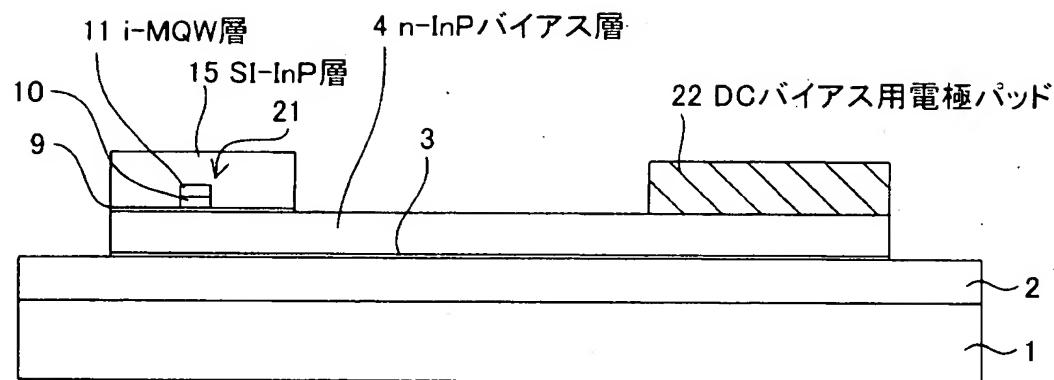
本発明の第1実施形態に係る半導体光変調器の第2の断面図

【図9】

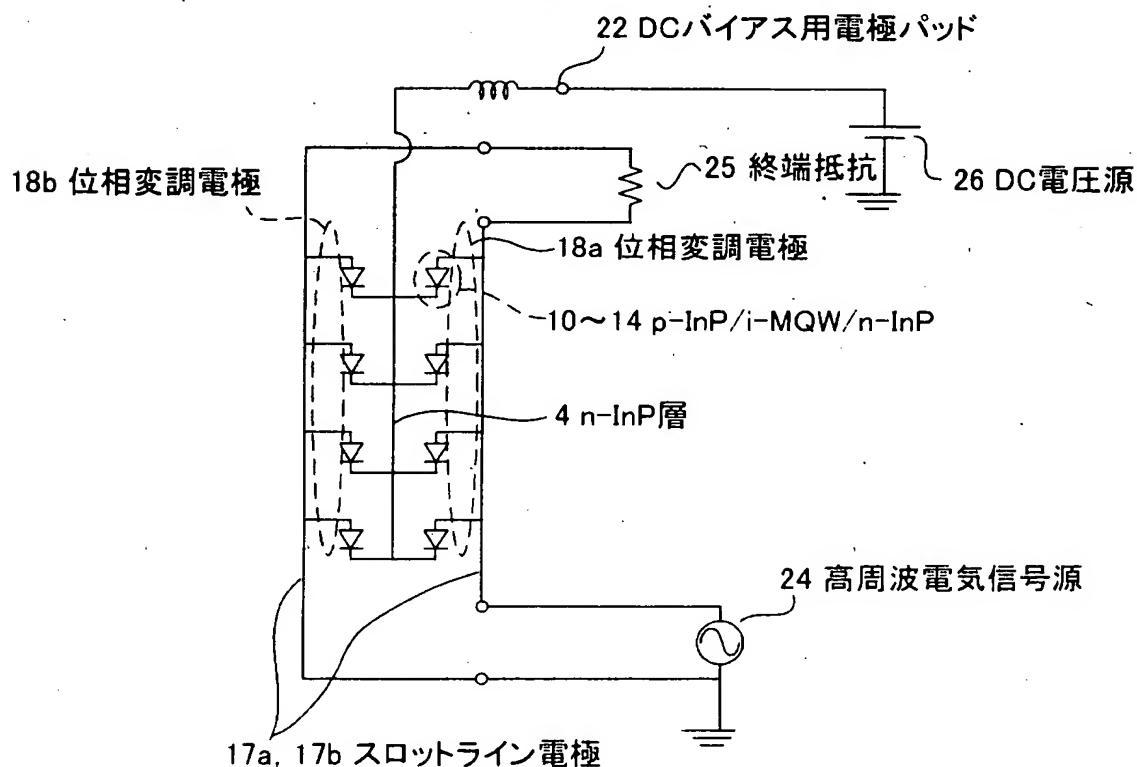


本発明の第1実施形態に係る半導体光変調器の第3の断面図

【図10】

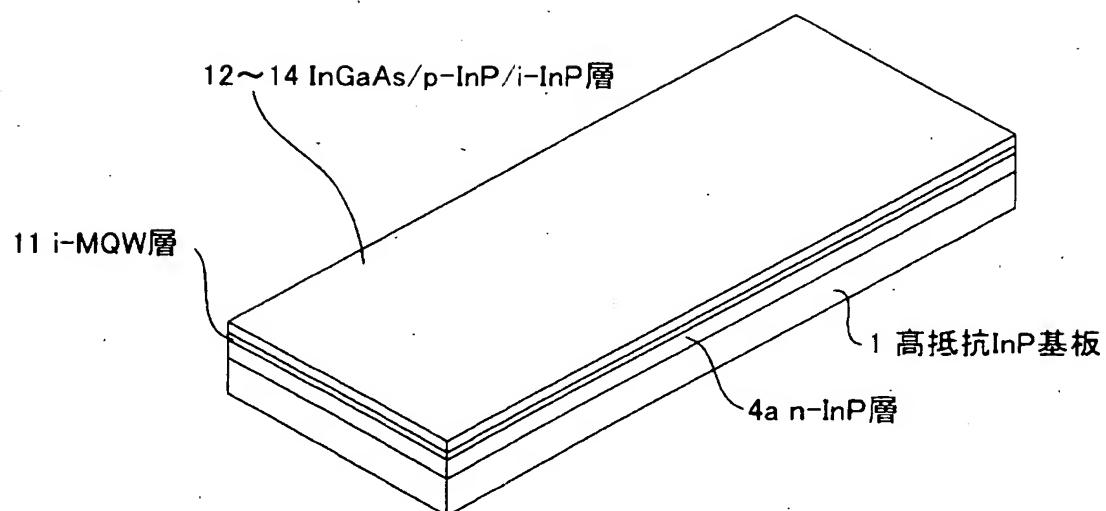


【図11】



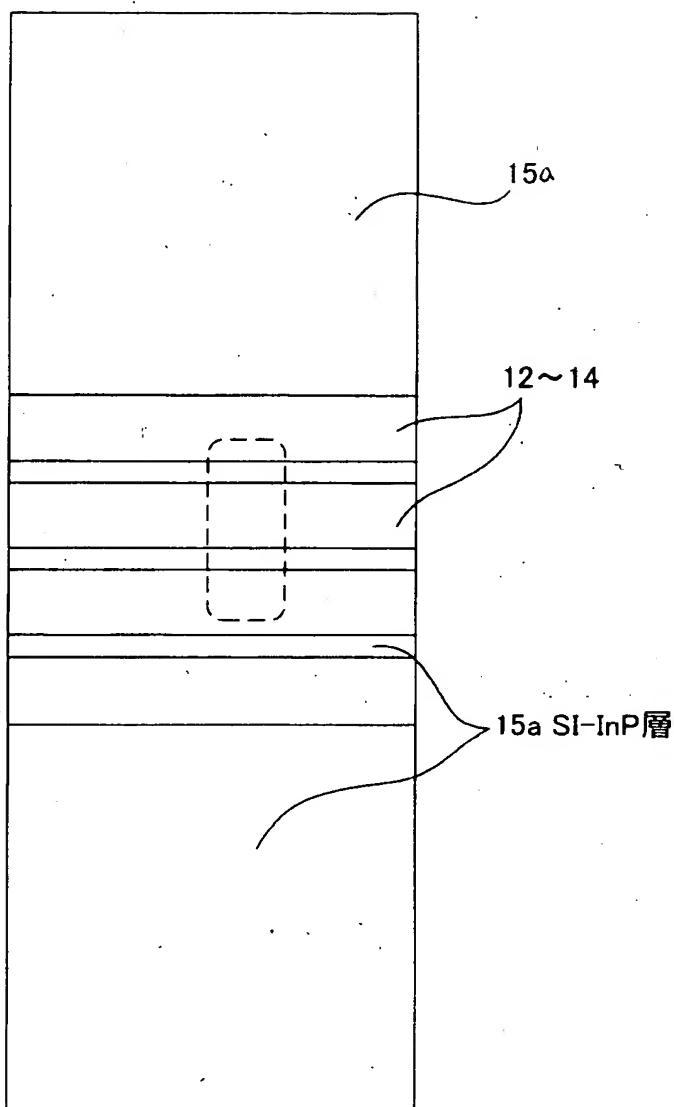
本発明の第1実施形態に係る半導体光変調器の等価駆動回路図

【図12】



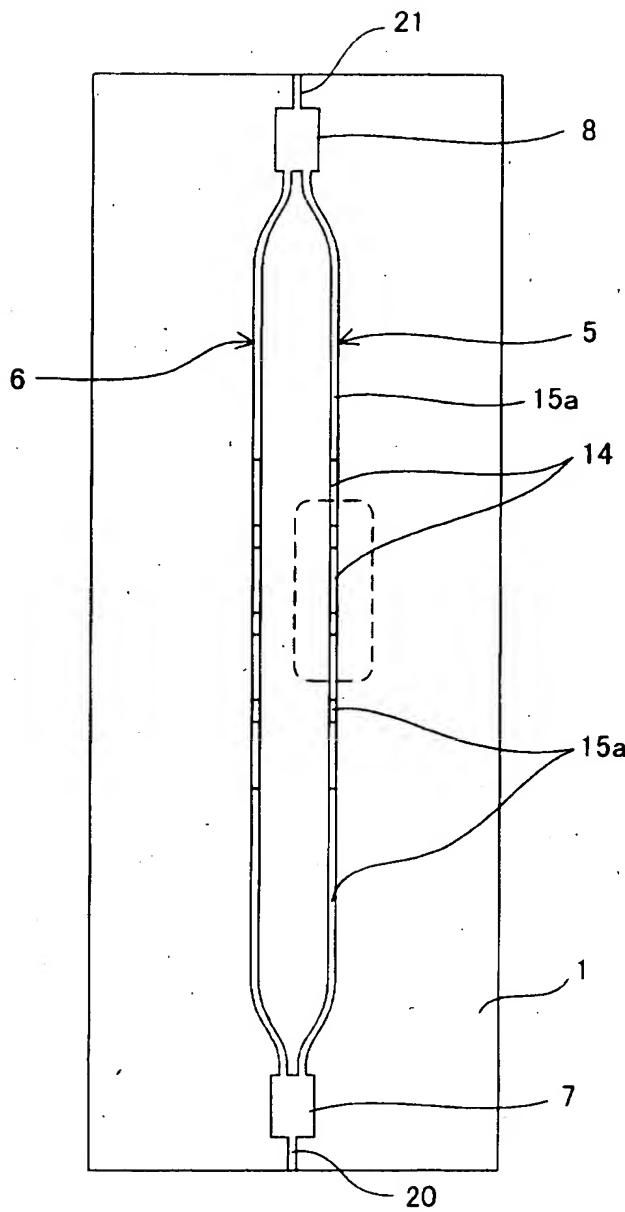
本発明の第1実施形態に係る半導体光変調器の作製工程の  
初期の成膜状態を示す斜視図である

【図13】



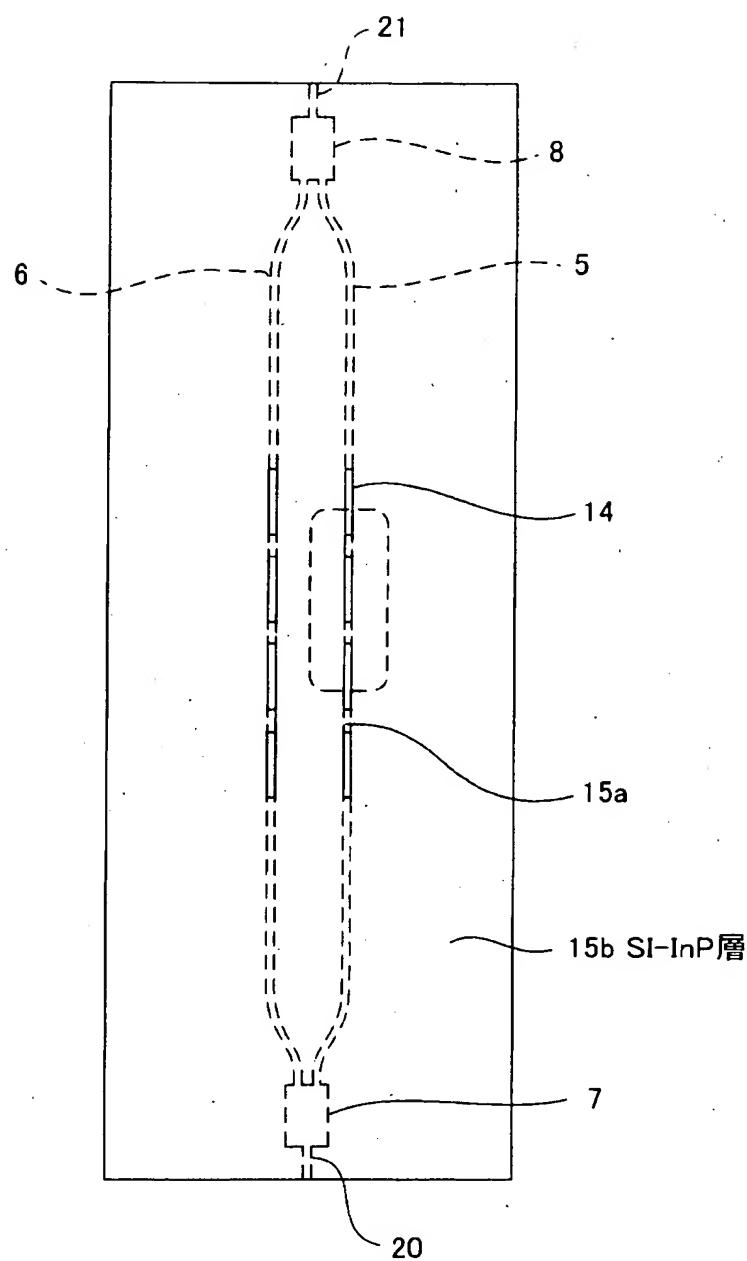
本発明の第1実施形態に係る半導体光変調器の  
作成工程を示す上面図(その1)

【図14】



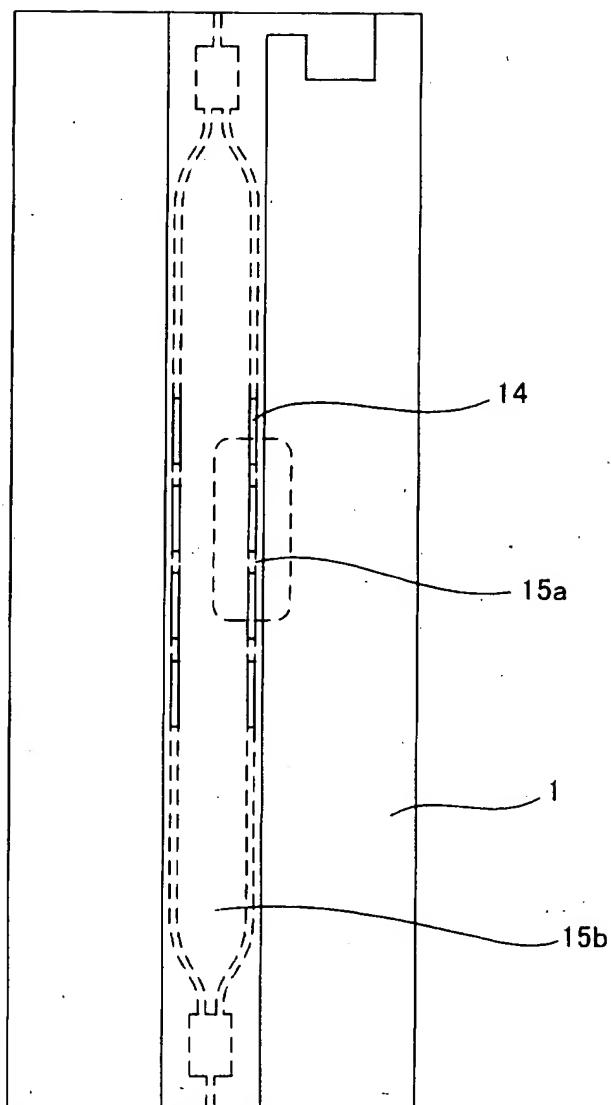
本発明の第1実施形態に係る半導体光変調器の  
作成工程を示す上面図(その2)

【図15】



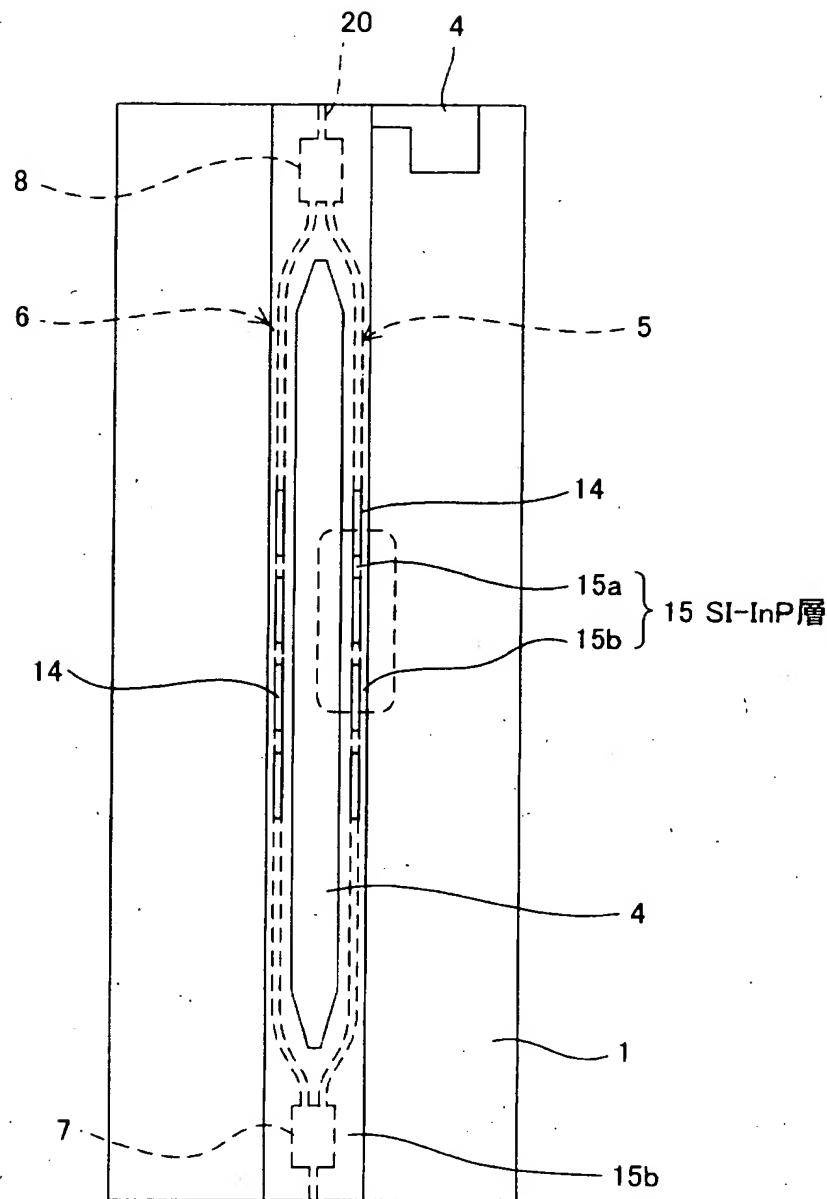
本発明の第1実施形態に係る半導体光変調器の  
作成工程を示す上面図(その3)

【図16】



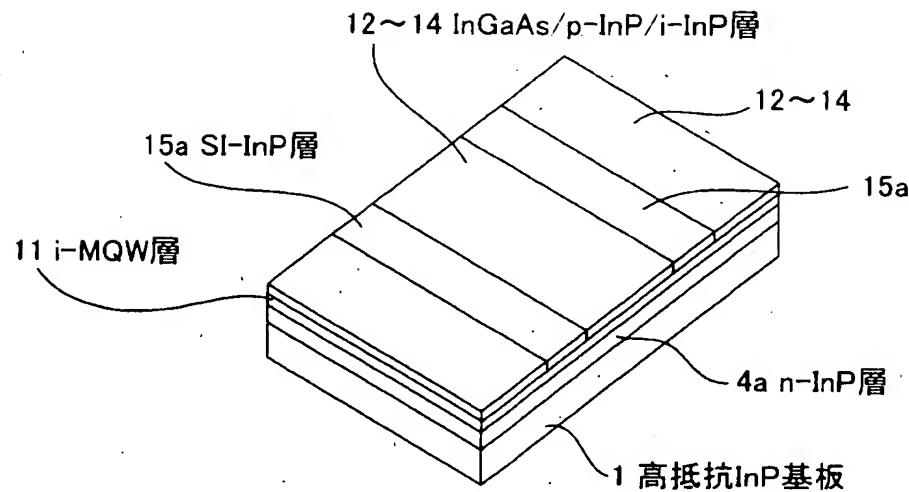
本発明の第1実施形態に係る半導体光変調器の  
作成工程を示す上面図(その4)

【図17】

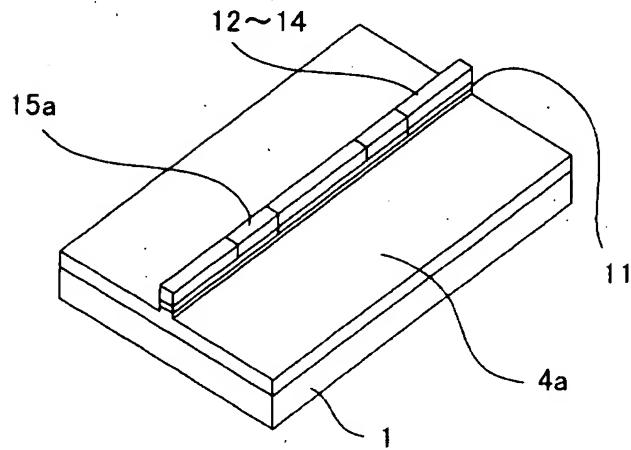


本発明の第1実施形態に係る半導体光変調器の  
作成工程を示す上面図(その5)

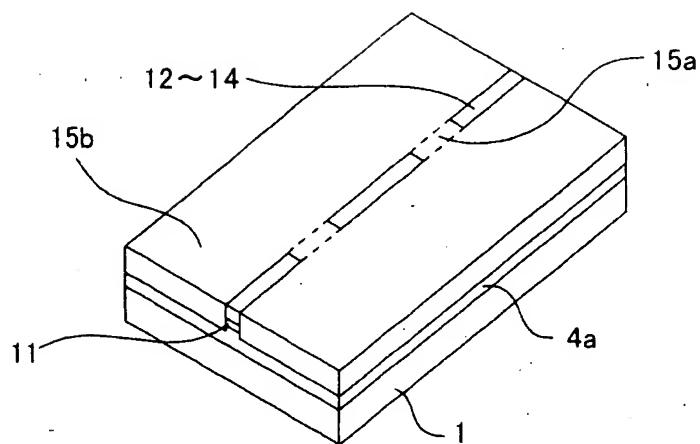
【図18】

本発明の第1実施形態に係る半導体光変調器の  
作成工程を示す斜視図(その1)

【図19】

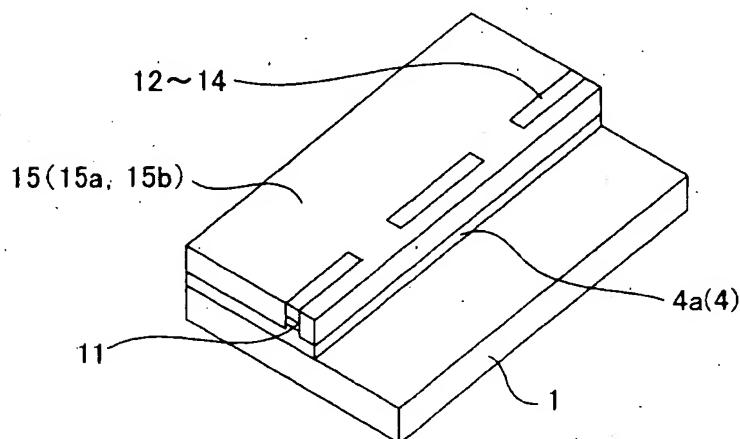
本発明の第1実施形態に係る半導体光変調器の  
作成工程を示す上面図(その2)

【図20】



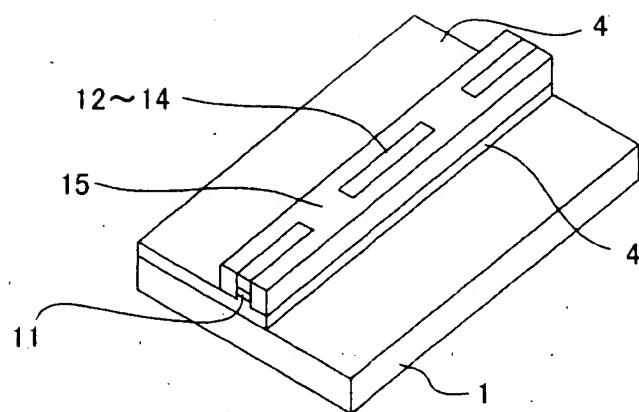
本発明の第1実施形態に係る半導体光変調器の  
作成工程を示す斜視図(その3)

【図21】



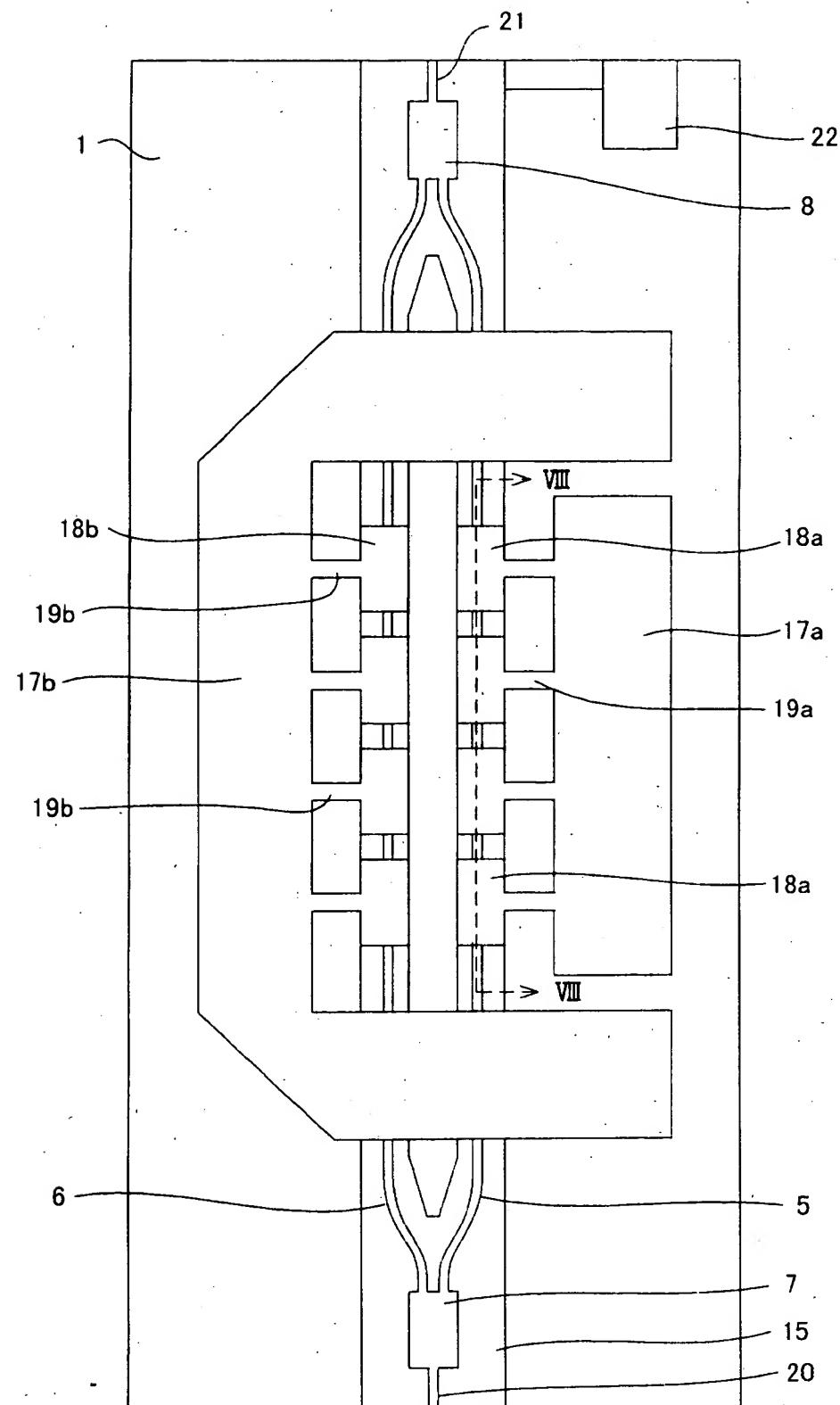
本発明の第1実施形態に係る半導体光変調器の  
作成工程を示す斜視図(その4)

【図22】



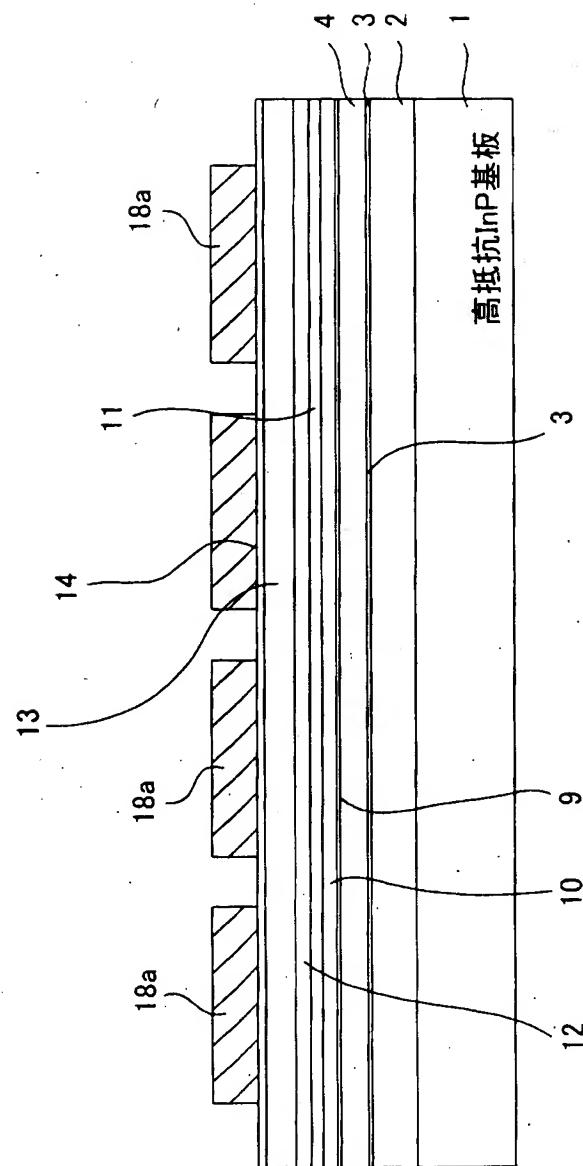
本発明の第1実施形態に係る半導体光変調器の  
作成工程を示す斜視図(その5)

【図23】



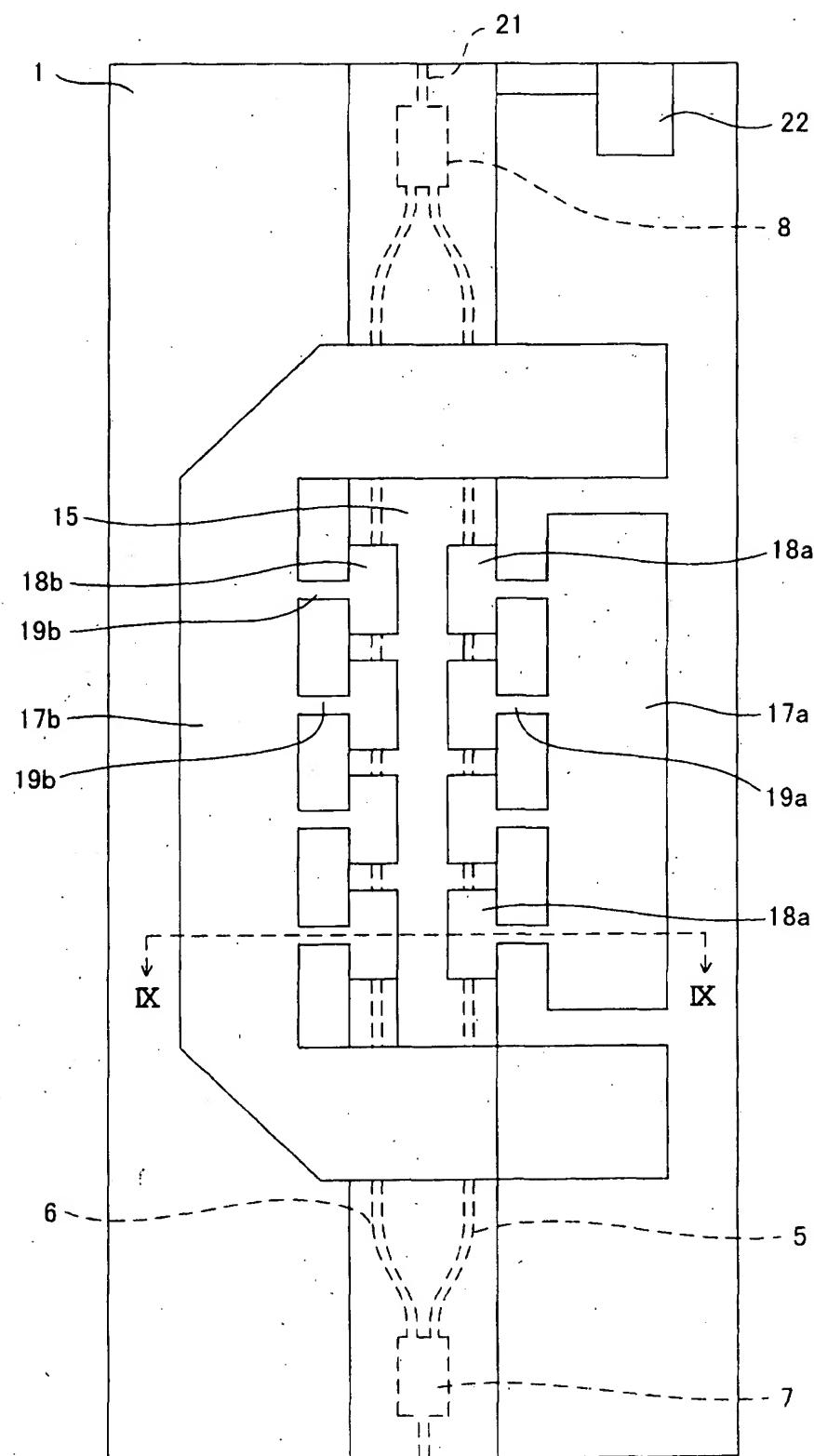
## 本発明の第2実施形態に係る半導体光変調器の上面図

【図24】



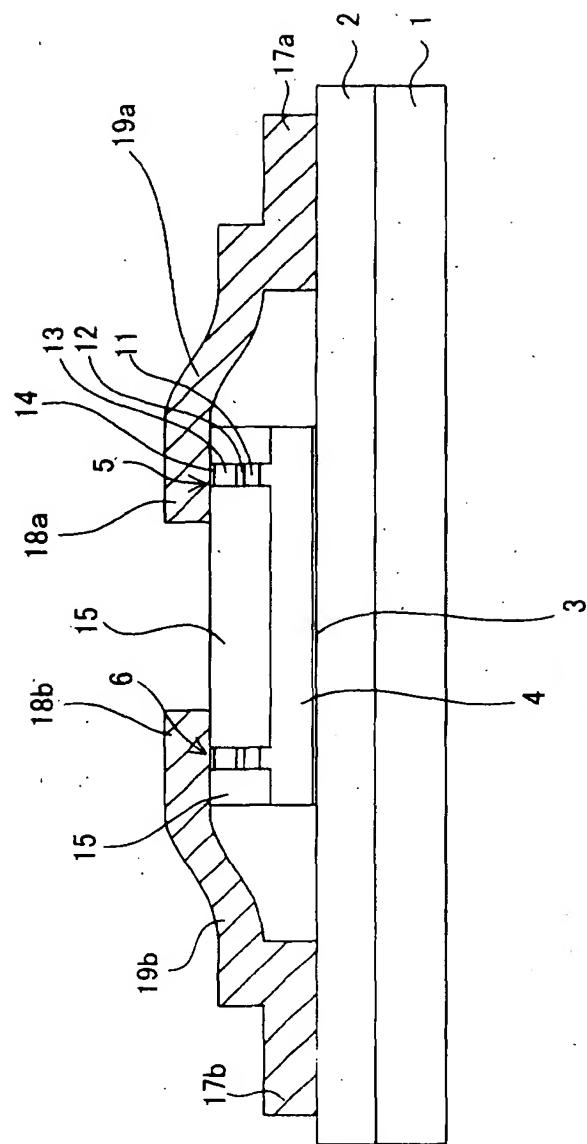
本発明の第2実施形態に係る半導体光変調器の断面図

【図25】



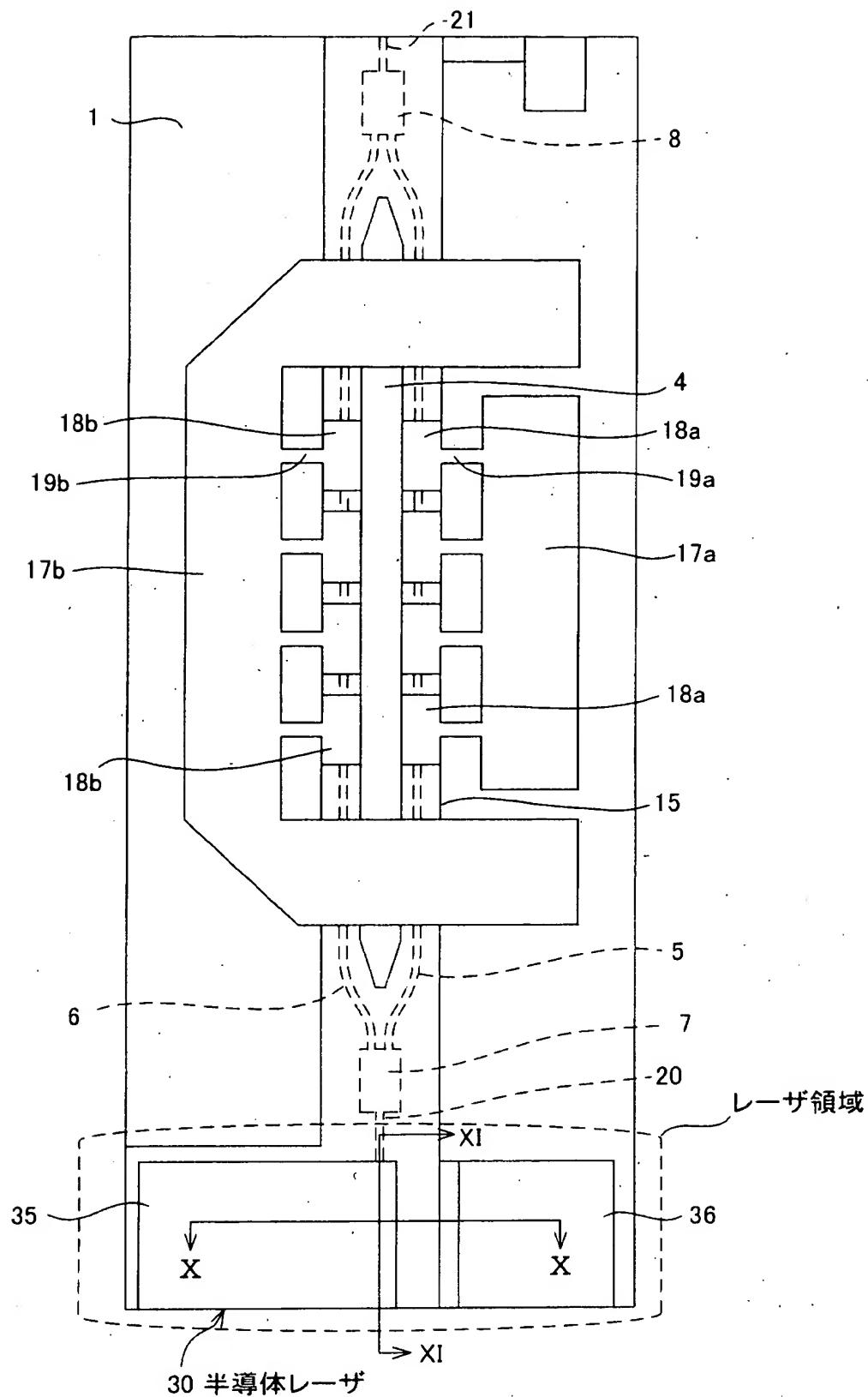
本発明の第3実施形態に係る半導体光変調器の上面図

【図26】



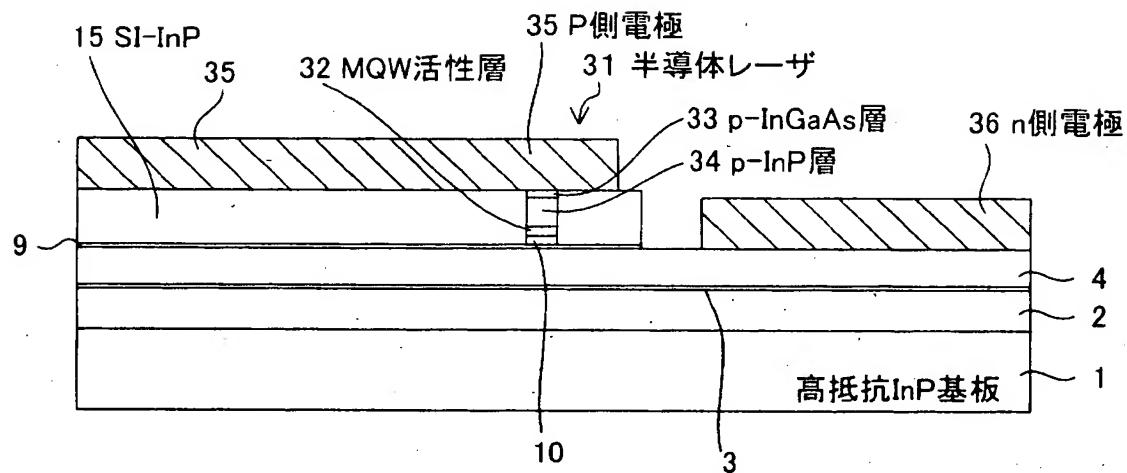
本発明の第3実施形態に係る半導体光変調器の断面図

【図27】



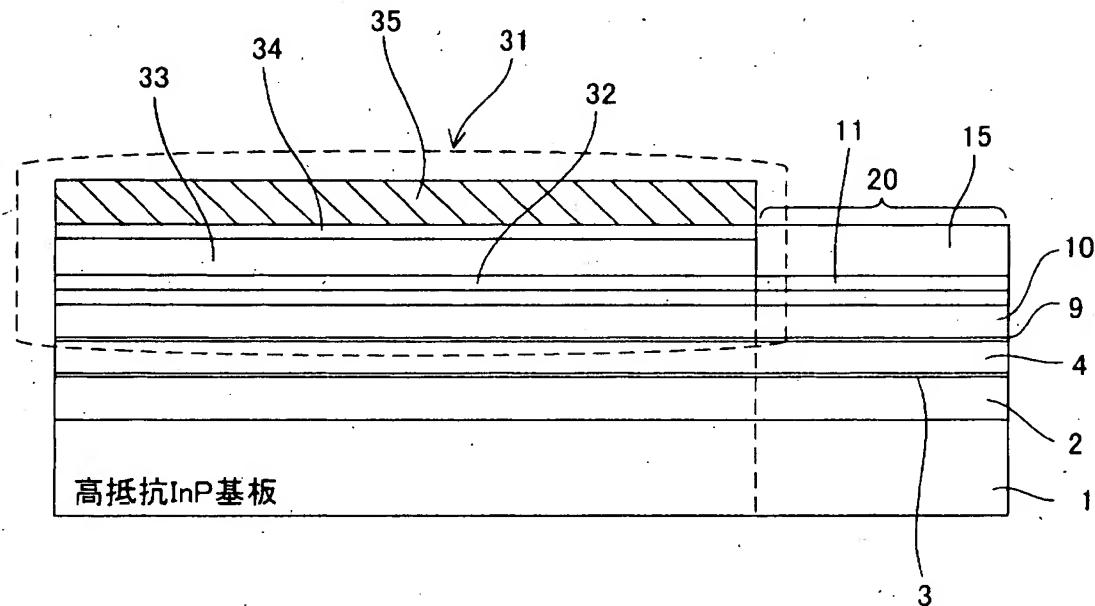
#### 本発明の第4実施形態に係る半導体光変調器の上面図

【図28】



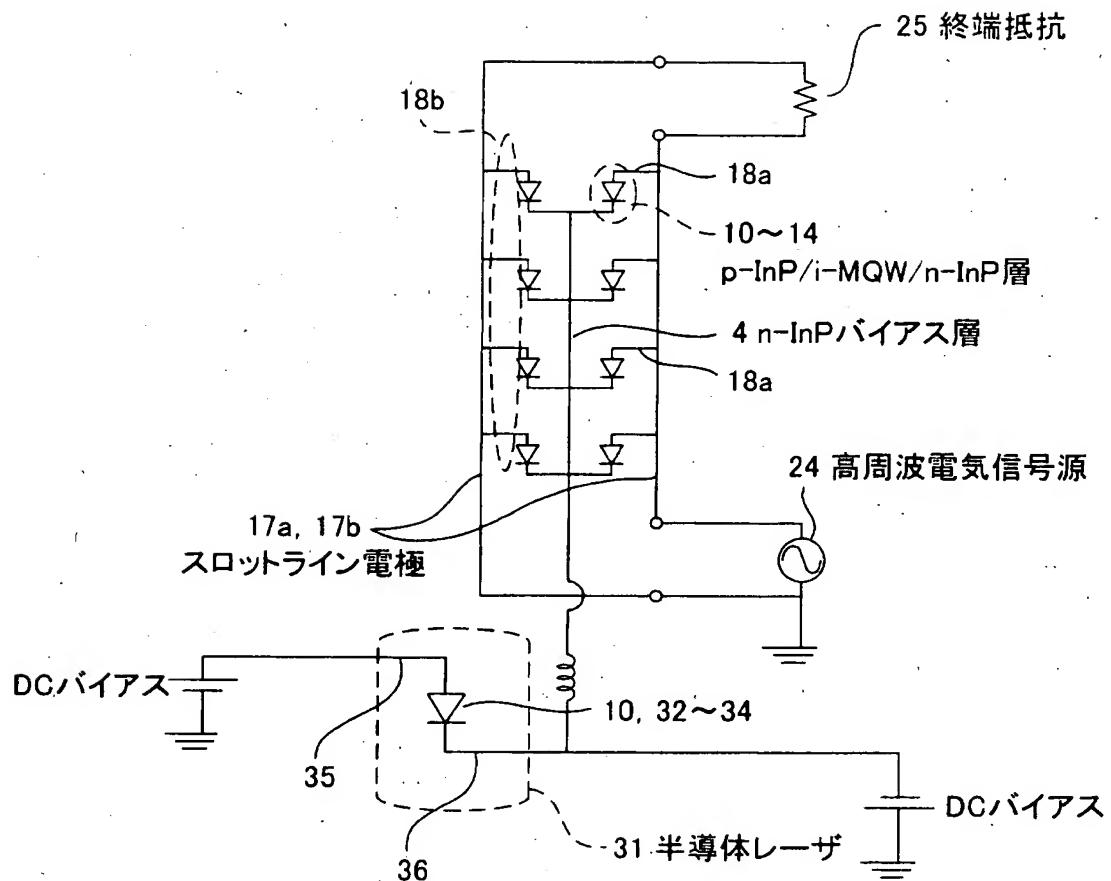
本発明の第4実施形態に係る半導体光変調器の第1の断面図

【図29】



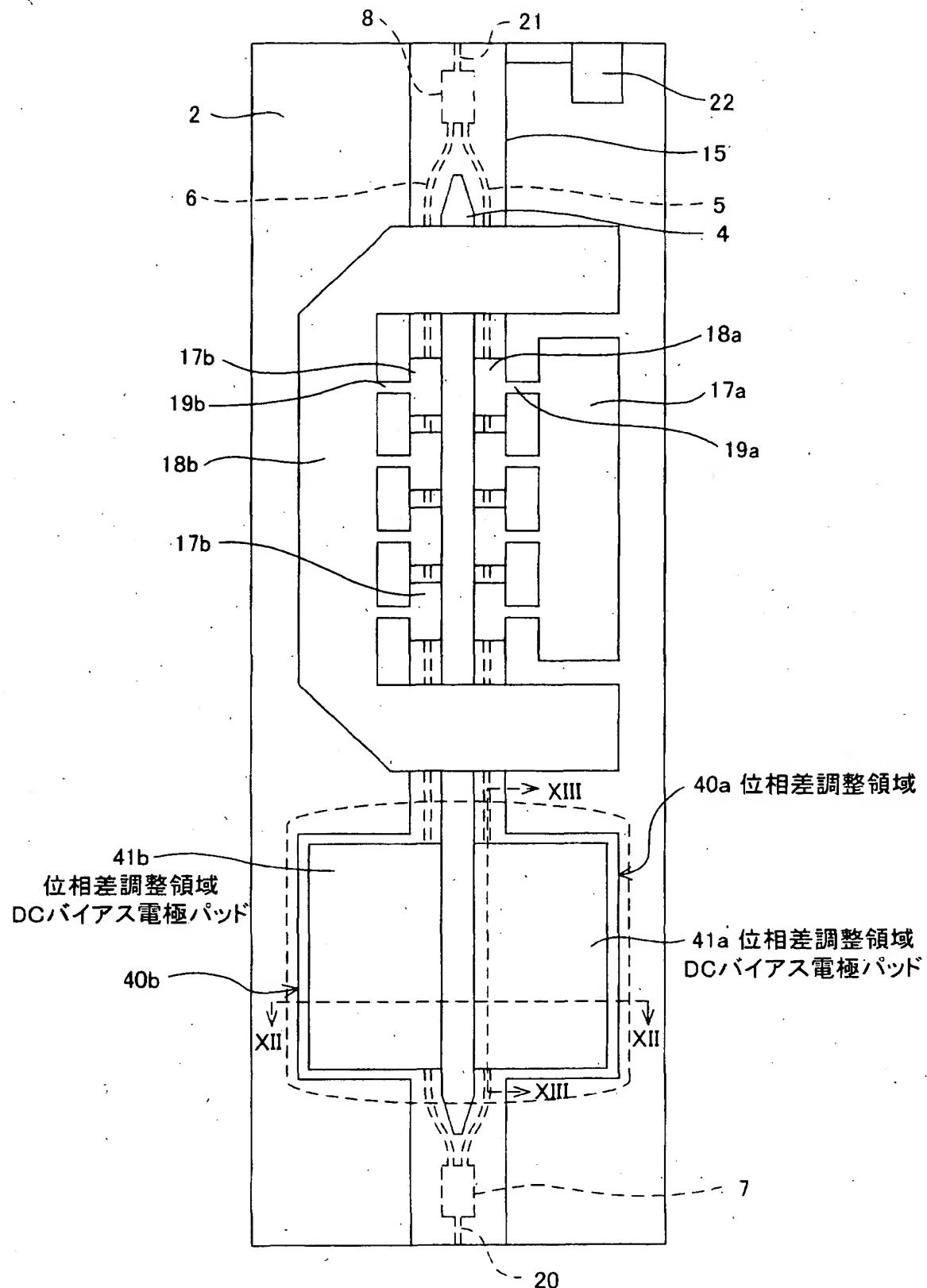
本発明の第4実施形態に係る半導体光変調器の第2の断面図

【図30】



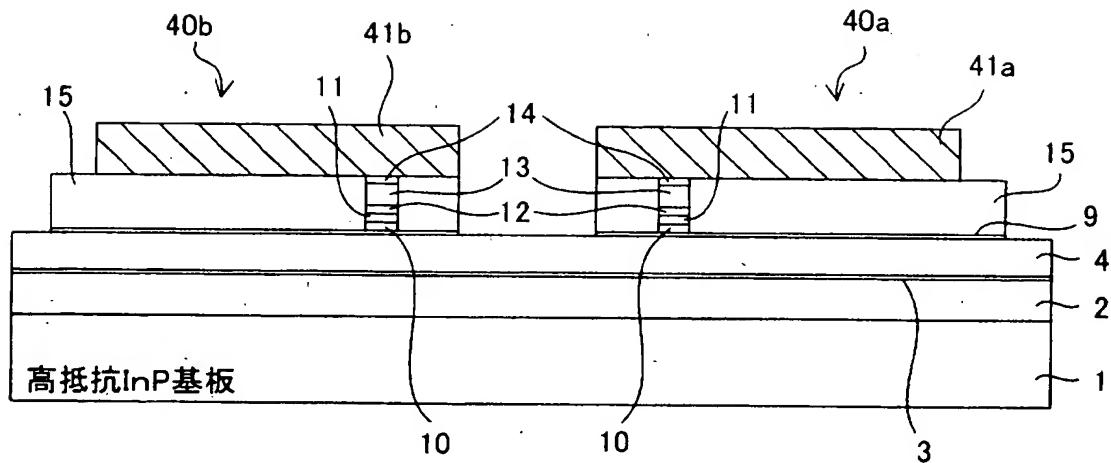
本発明の第4実施形態に係る半導体光変調器の等価駆動回路図

【図31】



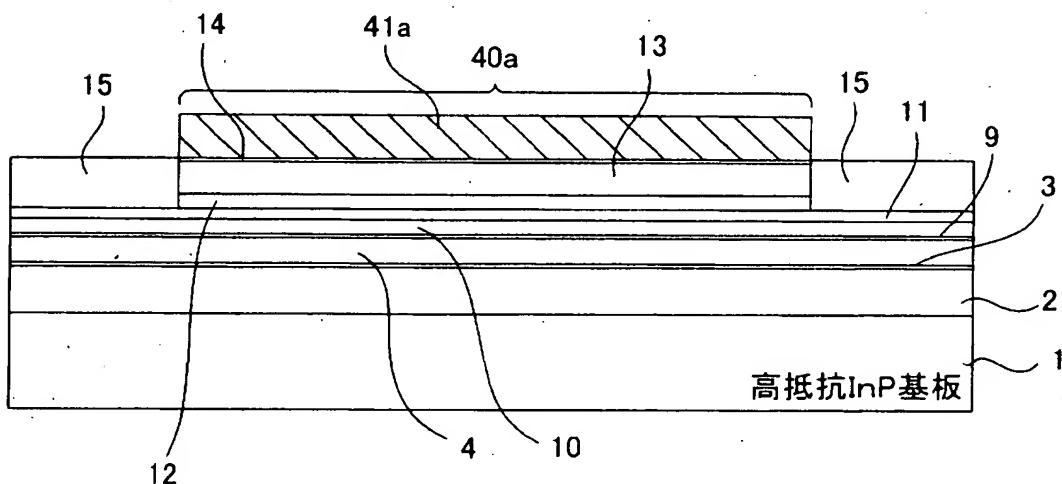
本発明の第5実施形態に係る半導体光変調器の上面図

【図32】



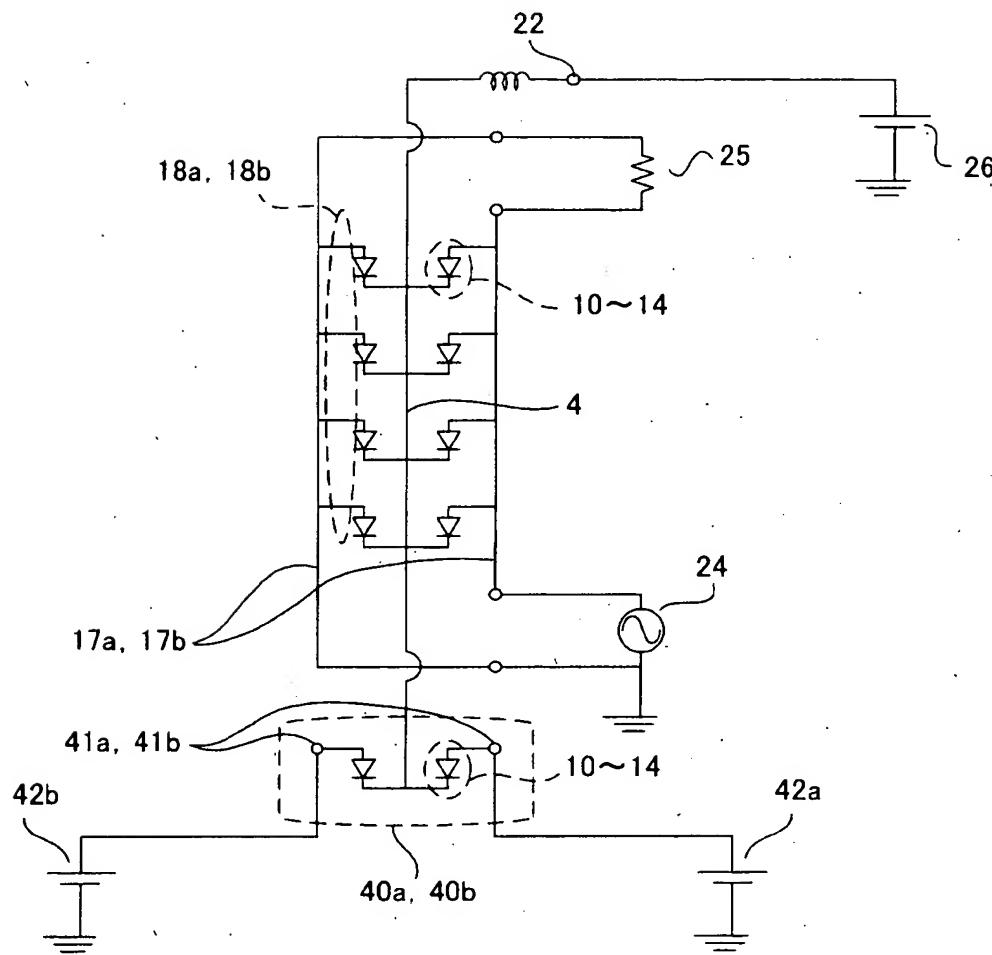
本発明の第5実施形態に係る半導体光変調器の第1の断面図

【図33】

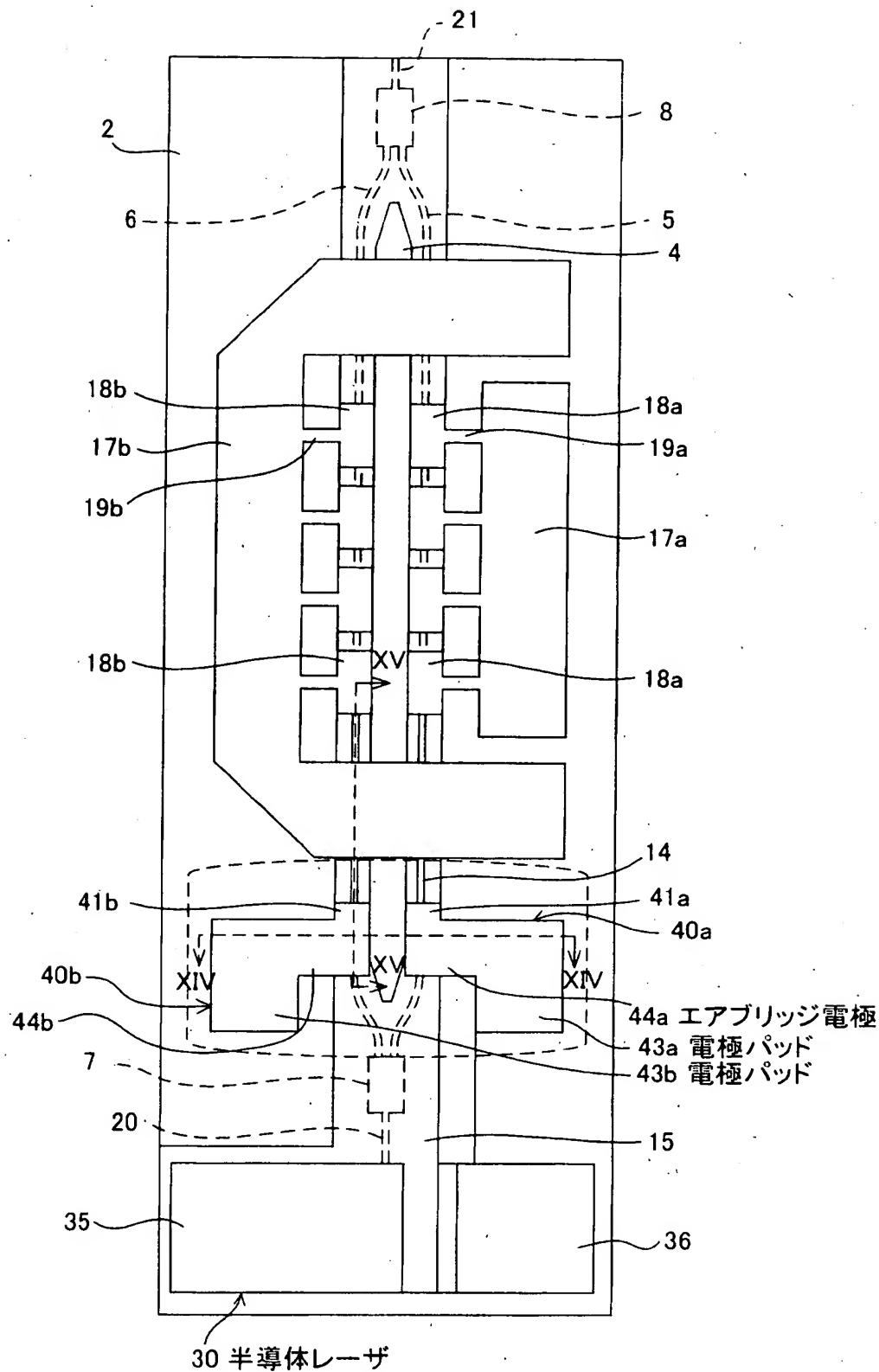


本発明の第5実施形態に係る半導体光変調器の第2の断面図

【図34】

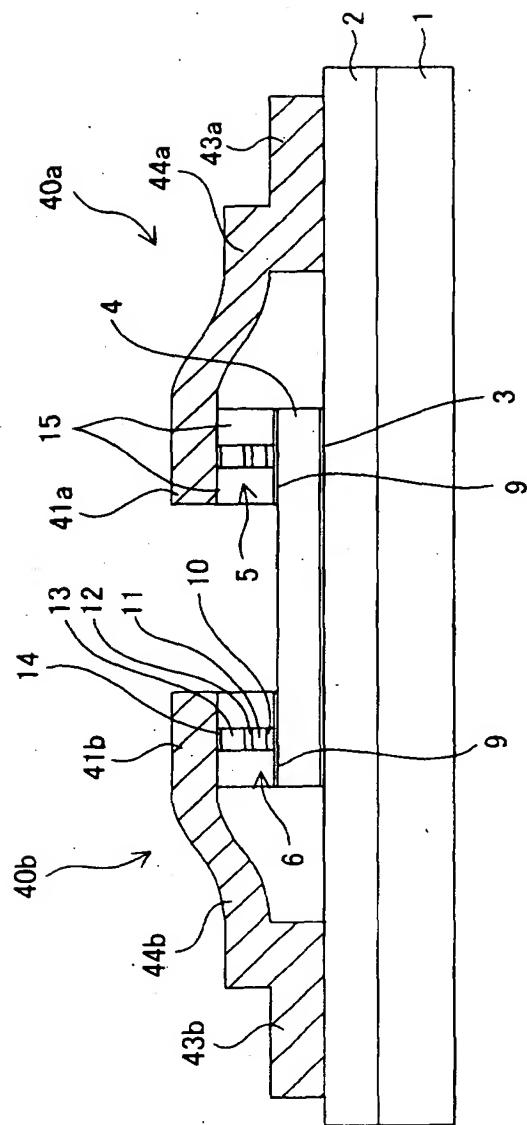
本発明の第5実施形態に係る半導体光変調器の  
等価駆動回路図

【図35】



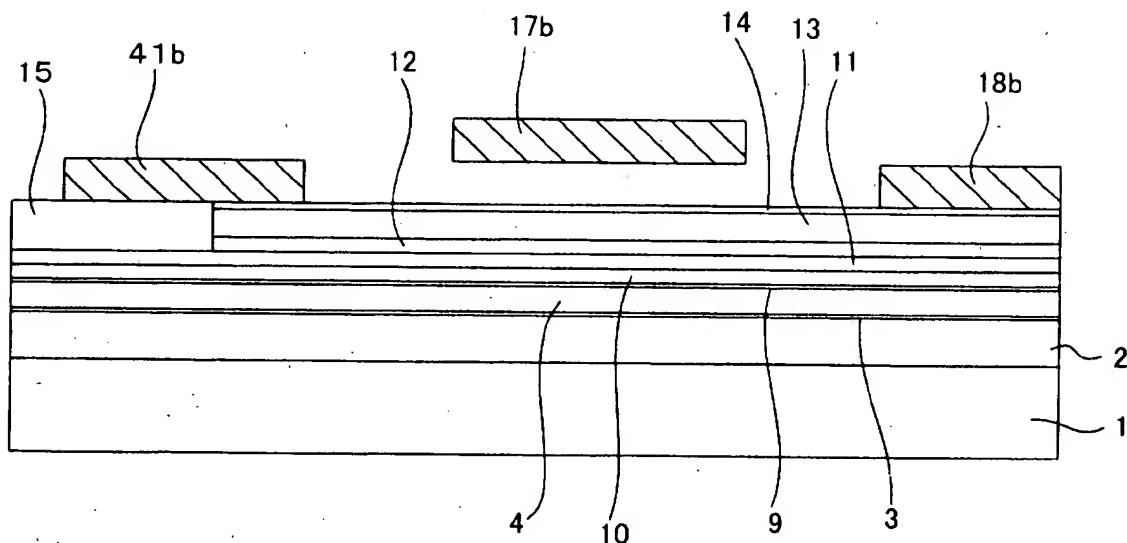
本発明の第6実施形態に係る半導体光変調器の上面図

【図36】



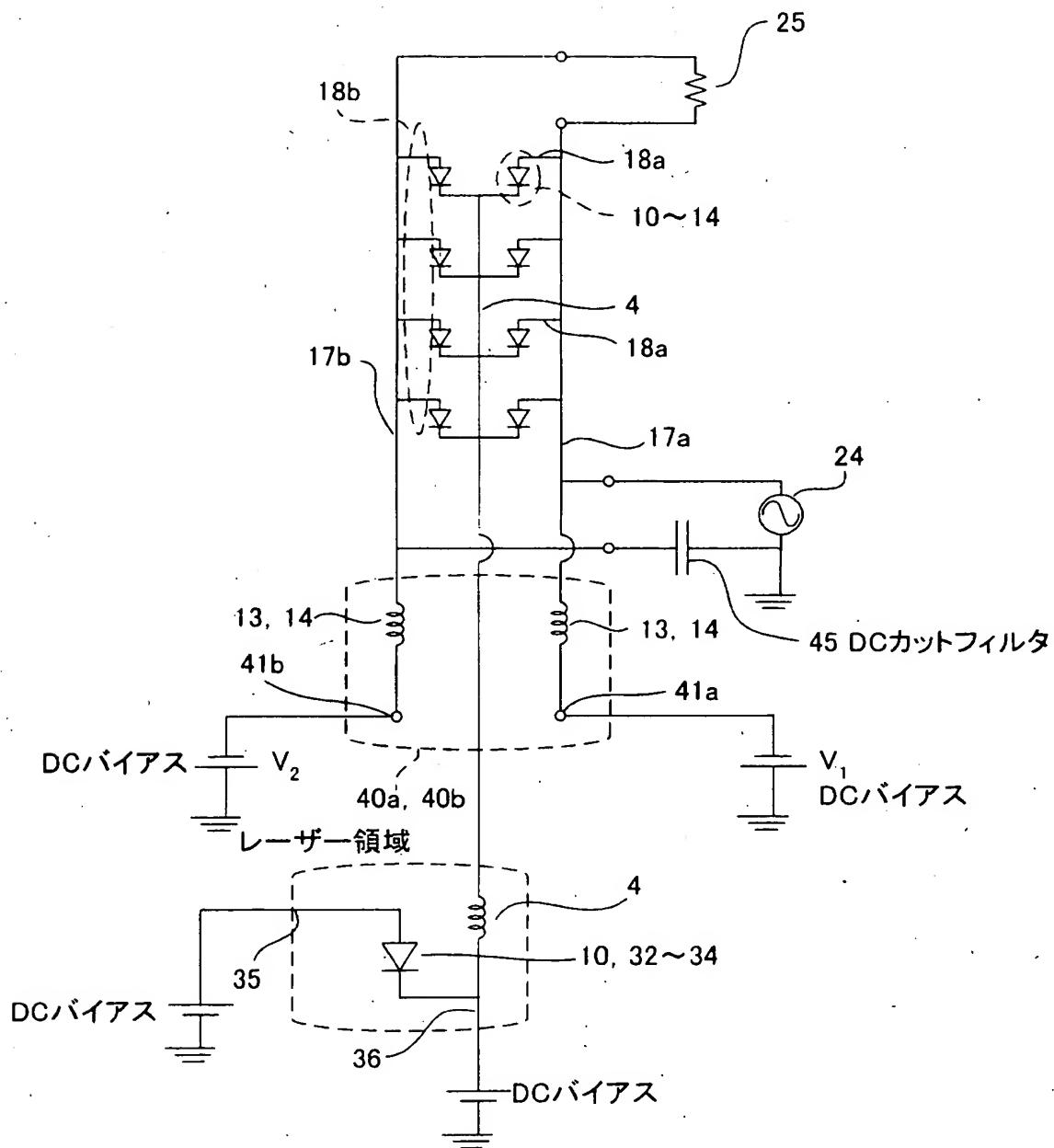
本発明の第6実施形態に係る半導体光変調器の第1の断面図

【図37】

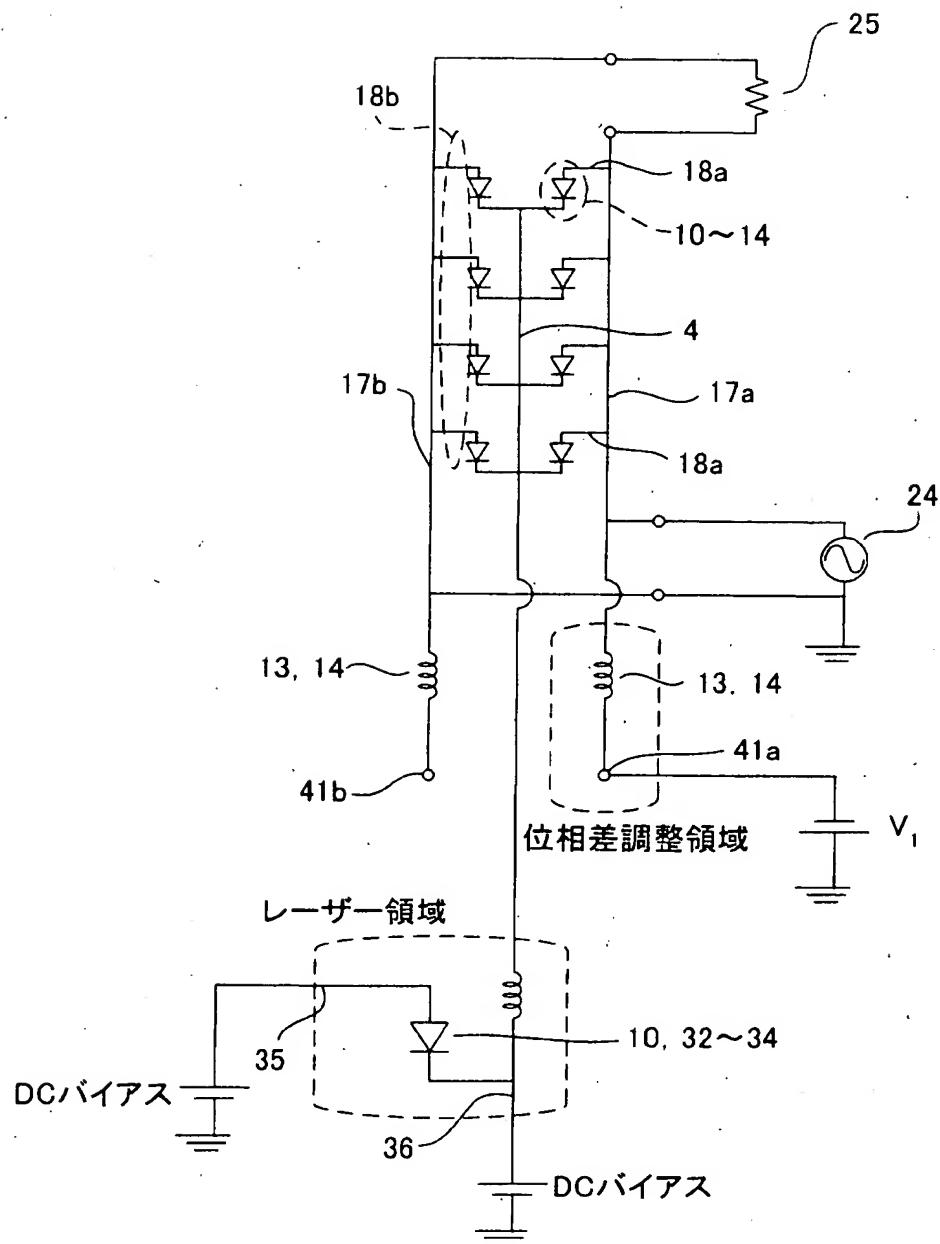


本発明の第6実施形態に係る半導体光変調器の第2の断面図

【図38】

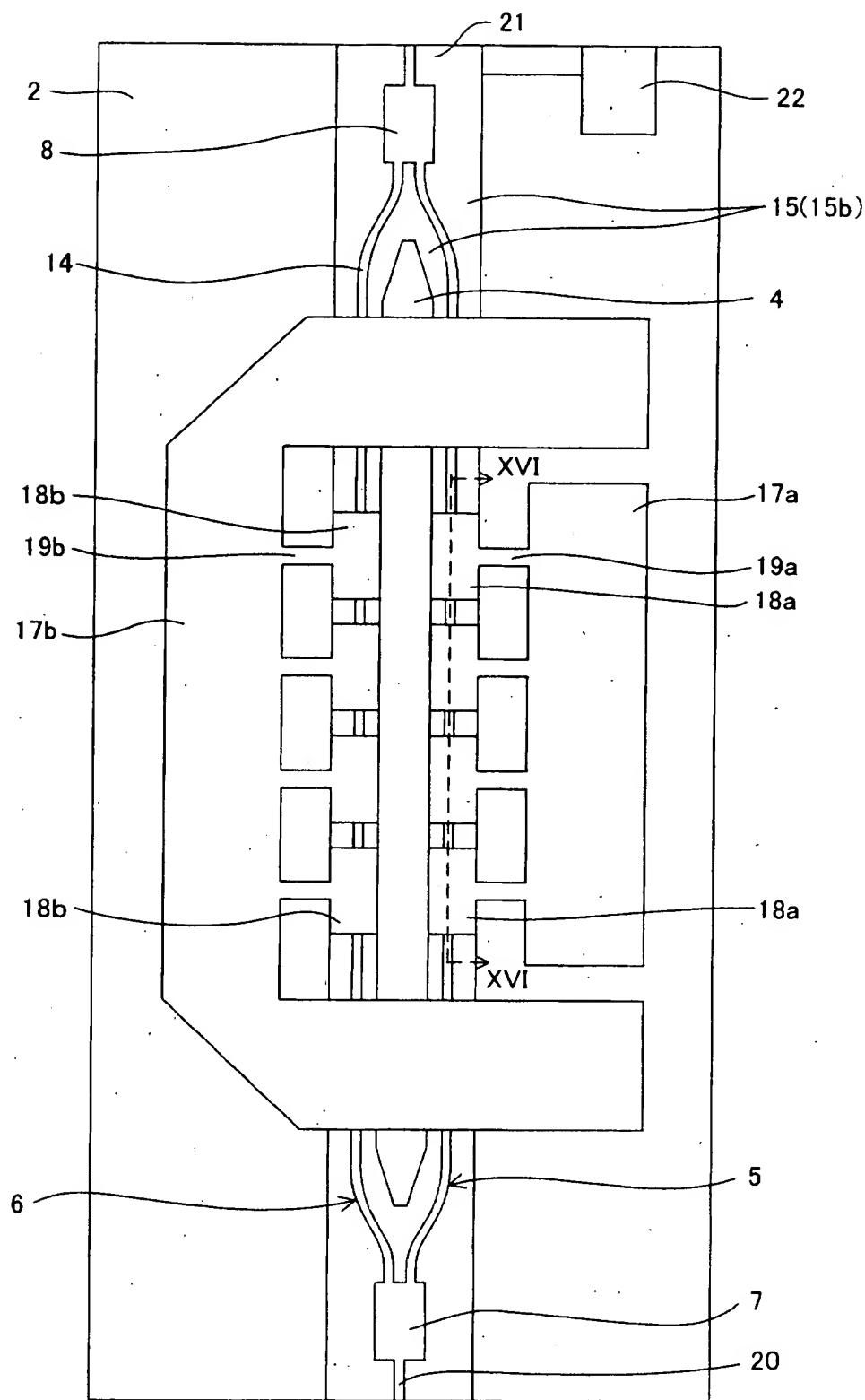


【図39】



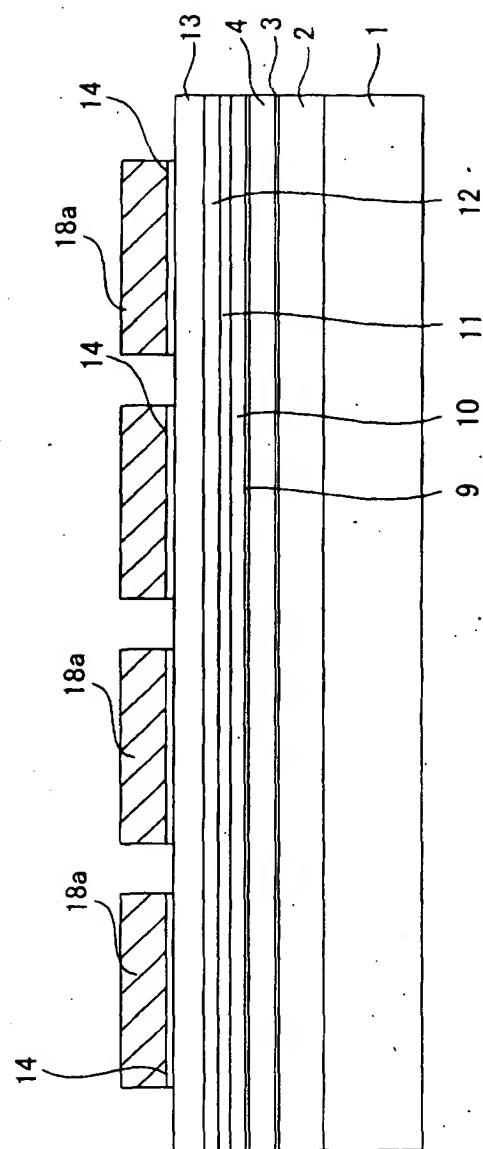
本発明の第6実施形態に係る等価駆動回路(その2)

【図40】



本発明の第7実施形態に係る半導体光変調器の上面図

【図41】



本発明の第7実施形態に係る半導体光変調器の断面図

【書類名】 要約書

【要約】

【課題】 マッハツエンダ型干渉計を有する光半導体装置に関し、電界と半導体のオーバーラップによる電機信号の損失を従来よりも低減すること。

【解決手段】 半導体基板1の上に形成された互いに分離された上側クラッド層12, 13及びコア層11をそれぞれ有する第1及び第2の光導波路5, 6と、第1及び第2の光導波路5, 6の上にそれぞれ形成された第1、第2の位相変調電極18a, 18bと、第1及び第2の光導波路5, 6の両側方の半導体基板1の上に形成され且つエアブリッジ配線19a, 19bを介して第1の位相変調電極18aと第2の位相変調電極18bに別々に接続される第1のスロットライン電極17aと第2のスロットライン電極17bとを含む。

【選択図】 図7

出願人履歴情報

識別番号

[000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社